

Διπολικά Ψηφιακά Κυκλώματα

Εισαγωγή

14.1 Το Διπολικό Τρανζίστορ ως Ψηφιακό Κυκλωματικό Στοιχείο

14.2 Παλαιότερες Μορφές Διπολικών Ψηφιακών Κυκλωμάτων

14.3 Λογική Τρανζίστορ-Τρανζίστορ (TTL ή T²L)

14.4 Χαρακτηριστικά τής Κλασικής TTL

14.5 Οικογένειες TTL με Βελτιωμένες Επιδόσεις

14.6 Λογική Ζεύξης Εκπομπού (ECL)

14.7 Ψηφιακά κυκλώματα BiCMOS

Περίληψη - Βιβλιογραφία - Προβλήματα

ΕΙΣΑΓΩΓΗ

Αυτό είναι το δεύτερο από τα δύο κεφάλαια που είναι αφιερωμένα στη μελέτη των ψηφιακών κυκλωμάτων. Στο Κεφάλαιο 13, μελετήσαμε τα ψηφιακά κυκλώματα τεχνολογίας MOS. Εδώ θα μελετήσουμε κυκλώματα υλοποιημένα με διπολικά τρανζίστορ ένωσης (BJT). Προϋπόθεση για την κατανόηση της ύλης αυτού του κεφαλαίου είναι η εξοικείωση με την ύλη του Κεφαλαίου 4 (BJT). Θα θεωρήσουμε επίσης ότι ο αναγνώστης έχει εξοικειωθεί με τις γενικές αρχές της ψηφιακής σχεδίασης, όπως αυτές εξετάστηκαν στην Ενότητα 13.1.

Η μελέτη των ψηφιακών κυκλωμάτων BJT θα αρχίσει με τη μελέτη του μοντέλου Ebers-Moll. Αυτό είναι ένα μοντέλο μεγάλου σήματος, η εφαρμογή του οποίου μας δίνει μια ακριβή εικόνα για τη συμπεριφορά του BJT στην περιοχή του κόρου. Κατόπιν θα εξετάσουμε τη δυναμική λειτουργία του BJT, και θα συσχετίσουμε τους χρόνους απόκρισής του με το φορτίο που είναι αποθηκευμένο στη βάση του.

Σ.Μ. Ο όρος BJT θα χρησιμοποιηθεί εκτενώς σε αυτό το κεφάλαιο για συντομογραφικούς λόγους.

Κάνοντας μια σύντομη περιληπτική αναφορά στις παλαιότερες οικογένειες κυκλωμάτων διπολικής λογικής, θα μελετήσουμε με λεπτομέρεια δύο σύγχρονες οικογένειες κυκλωμάτων: τη Λογική Τρανζίστορ-Τρανζίστορ (Transistor-Transistor-Logic ή TTL) και τη Λογική Ζεύξης Εκπομπού (Emitter-Coupled Logic ή ECL). Για πολλά χρόνια η τεχνολογία TTL ήταν η πιο δημοφιλής για την υλοποίηση ψηφιακών κυκλωμάτων χρησιμοποιώντας συσκευασίες SSI, MSI και LSI. Σήμερα η τεχνολογία TTL εξακολουθεί να είναι δημοφιλής και έχει κύριο ανταγωνιστή την τεχνολογία CMOS (Κεφάλαιο 13). Ένας σημαντικός παράγοντας που συνεισέφερε στη μακροβιότητα της τεχνολογίας TTL, είναι η διαρκής βελτίωση που υφίσταται η τεχνολογία αυτή με την πάροδο των χρόνων. Σύγχρονες μορφές TTL έχουν πολύ μικρές καθυστερήσεις πυλών, τάξης μεγέθους 1.5 ns. Όπως θα δούμε, σ' αυτά τα βελτιωμένα κυκλώματα, τα BJT δεν επιτρέπεται να φθάσουν στον κόρο. Αυτό γίνεται για την αποφυγή της χρονικής καθυστέρησης που είναι απαραίτητη για να φθάσει ένα τρανζίστορ στον κόρο. Η άλλη δημοφιλής τεχνολογία, η ECL, αποφεύγει επίσης τον κορεσμό των τρανζίστορ.

Αν εξαιρέσουμε τη συνεχώς αναπτυσσόμενη τεχνολογία GaAs (Ενότητα 13.11), η λογική ζεύξης εκπομπού είναι η πιο γρήγορη σημερινή τεχνολογία ψηφιακών κυκλωμάτων, με καθυστερήσεις πυλών για συσκευασίες SSI και MSI, μικρότερες από 1 ns και ακόμα μικρότερες καθυστερήσεις αν η υλοποίηση γίνει σε VLSI. Η τεχνολογία ECL βρίσκει εφαρμογή σε ψηφιακά κυκλώματα για τηλεπικοινωνίες καθώς και σε κυκλώματα μεγάλης ταχύτητας που χρησιμοποιούνται στους υπερ-υπολογιστές (super-computers).

Μια άλλη τεχνολογία διπολικού τρανζίστορ, δημοφιλής πριν μερικά χρόνια σε εφαρμογές VLSI, είναι η λογική ολοκληρωμένης έγχυσης (Integrated Injection Logic ή I²L). Έχει ωστόσο χάσει σημαντικό έδαφος απέναντι στην τεχνολογία CMOS, οπότε δε θα εξεταστεί.

Το Κεφάλαιο τελειώνει με την εισαγωγή σε μια τεχνολογία κυκλωμάτων VLSI, η οποία τον τελευταίο καιρό έχει αποκτήσει μεγάλη δημοτικότητα, την τεχνολογία BiCMOS. Η BiCMOS συνδιάζει τα πλεονεκτήματα των διπολικών και CMOS κυκλωμάτων και δίνει τη δυνατότητα να υλοποιήσουμε πολύ πυκνά, χαμηλής ισχύος και μεγάλης ταχύτητας ολοκληρωμένα κυκλώματα.

Παρ' όλο που η έμφαση σ' αυτό το κεφάλαιο δίνεται περισσότερο στα λογικά κυκλώματα, πρέπει να τονίσουμε ότι και άλλα κυκλωματικά στοιχεία όπως τα flip-flops και οι πολυδονητές (multivibrators), μπορούν να υλοποιηθούν σε τεχνολογία ECL και TTL ακολουθώντας συμβατικές μεθόδους. Ωστόσο, τα τσίπ μνήμης μεγάλης πυκνότητας, συνεχίζουν να κατασκευάζονται αποκλειστικά με τεχνολογία MOS.

14.1 ΤΟ ΔΙΠΟΛΙΚΟ ΤΡΑΝΖΙΣΤΟΡ ΩΣ ΨΗΦΙΑΚΟ ΚΥΚΛΩΜΑΤΙΚΟ ΣΤΟΙΧΕΙΟ

Θα αρχίσουμε τη μελέτη των λογικών κυκλωμάτων BJT, κάνοντας μια περιήληψη των σχετικών χαρακτηριστικών των τρανζίστορ BJT. Επίσης, θα παρουσιάσουμε ένα δημοφιλές μοντέλο μεγάλου σήματος για το BJT. Ο αναγνώστης, προτού προχωρήσει στη μελέτη αυτής της ύλης, θα πρέπει να επαναλάβει την ύλη του Κεφαλαίου 4.

Λογική Κόρου και Λογική Μη Κόρου

Η πιό συνηθισμένη χρήση του τρανζίστορ BJT στα ψηφιακά κυκλώματα είναι η χρησιμοποίηση των δύο ακραίων τρόπων λειτουργίας του: της αποκοπής και του κόρου. Τα κυκλώματα που προκύπτουν είναι γνωστά ως κυκλώματα **Λογικής Κόρου** (Saturated ή Saturating Logic). Ως πλεονεκτήματα αυτού του τρόπου εφαρμογής τους, μπορούμε να αναφέρουμε τα σχετικά μεγάλα και ξεκάθαρα "πηδήματα" λογικού επιπέδου και τη σχετικά χαμηλή κατανάλωση ισχύος. Το μεγαλύτερο μειονέκτημα είναι η σχετικά αργή απόκριση εξαιτίας των μεγάλων χρόνων αποκοπής (turnoff times) των κορεσμένων τρανζίστορ. (Σ. Μ. Όταν αναφερόμαστε στο χρόνο αποκοπής εννοούμε το χρόνο που μεσολαβεί για τη μετάβαση ενός τρανζίστορ που άγει στην περιοχική αποκοπής).

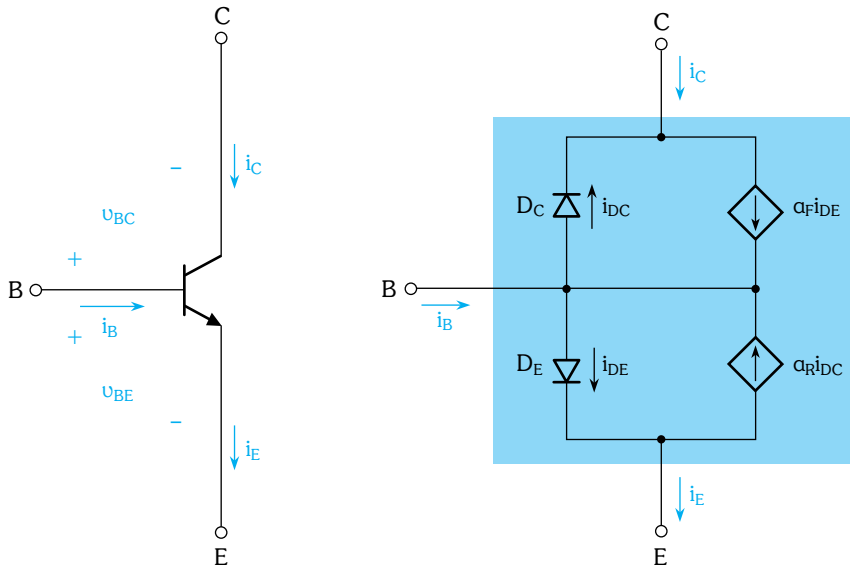
Για να πάρουμε γρηγορότερη λογική, το κύκλωμα πρέπει να σχεδιαστεί με τέτοιο τρόπο ώστε το BJT να μη φθάσει στον κόρο. Θα μελετήσουμε δύο είδη Λογικής μη Κόρου: τη Λογική ECL, που είναι βασισμένη στο διαφορικό ζεύγος που εξετάσαμε στην Ενότητα 6.1 και τη Λογική Schottky TTL, που είναι βασισμένη στη χρήση ειδικών διόδων πυριτίου με χαμηλή πτώση δυναμικού, που ονομάζονται δίοδοι Schottky.

Το Μοντέλο Ebers-Moll

Παρόλο που το απλό μοντέλο τρανζίστορ μεγάλου σήματος που αναπτύξαμε στο Κεφάλαιο 4 είναι συνθήως αρκετό για την προσεγγιστική ανάλυση ψηφιακών κυκλωμάτων BJT, μπορούμε να αποκτήσουμε καλύτερη εικόνα της λειτουργίας τους, από μια πιο αυστηρή προσέγγιση, αν χρησιμοποιήσουμε ένα δημοφιλές μοντέλο μεγάλου σήματος για το BJT, γνωστό ως μοντέλο **Ebers-Moll** (EM).

Το μοντέλο EM είναι ένα μοντέλο χαμηλών συχνοτήτων (στατικό). Βασίζεται στο γεγονός ότι το Διπολικό Τρανζίστορ Ενώσεως (Bipolar Junction Transistor ή BJT) αποτελείται από δύο ενώσεις pn , την ένωση εκπομπού-βάσης και την ένωση συλλέκτη-βάσης.

Μπορούμε λοιπόν να εκφράσουμε τα ρεύματα στους ακροδέκτες του BJT ως υπέρθεση των ρευμάτων που οφείλονται στις δύο ενώσεις pn , όπως θα δείξουμε παρακάτω.



Σχ. 14.1 Τρανζίστορ *npn* και το αντίστοιχο μοντέλο Ebers-Moll (EM)

Το Σχήμα 14.1 εικονίζει ένα τρανζίστορ *npn* μαζί με το EM μοντέλο του. Το μοντέλο αποτελείται από δύο διόδους και δύο ελεγχόμενες πηγές. Οι διόδοι είναι: η D_E , η διάδος εκπομπού-βάσης και η D_C , η διάδος συλλέκτη-βάσης. Τα ρεύματα των διόδων i_{DE} και i_{DC} δίνονται από την εξίσωση της διάδου:

$$i_{DE} = I_{SE} \left(e^{v_{BE}/V_T} - 1 \right) \quad (14.1)$$

$$i_{DC} = I_{SC} \left(e^{v_{BC}/V_T} - 1 \right) \quad (14.2)$$

όπου I_{SE} και I_{SC} είναι τα ρεύματα κόρου (saturation currents ή scale currents) των δύο διόδων. Εφόσον η διάδος συλλέκτη-βάσης έχει συνήθως μεγαλύτερο εμβαδόν από τη διάδο εκπομπού-βάσης, το I_{SC} είναι συνήθως μεγαλύτερο από το I_{SE} (από 2 μέχρι 50 φορές).

Όπως εξηγήσαμε στο Κεφάλαιο 4, ένα μέρος του ρεύματος της ένωσης εκπομπού-βάσης i_{DE} φθάνει στο συλλέκτη και υπολογίζεται ως ρεύμα συλλέκτη. Είναι αυτό το συστατικό που προκαλεί την πηγή ρεύματος $\alpha_F i_{DE}$ στο μοντέλο του Σχήματος 14.1. Εδώ το α_F δηλώνει το **ορθό α** του τρανζίστορ (την παράμετρο που απλά ονομάσαμε προηγουμένως α). Η τιμή του α_F είναι συνήθως πολύ κοντά στη μονάδα. Παρομοίως, ένα μέρος του ρεύματος της ένωσης συλλέκτη-βάσης i_{DC} μεταφέρεται κατά μήκος της περιοχής βάσης και φθάνει στον εκπομπού. Το ρεύμα αυτό αναπαριστάται στο μοντέλο Ebers-Moll με την πηγή ρεύματος $\alpha_R i_{DC}$, όπου το α_R δηλώνει το **ανάστροφο α** του τρανζίστορ. Εφόσον η δομή του τρανζίστορ δεν είναι συμ-

μετρική, αλλά είναι βελτιστοποιημένη έτσι ώστε να έχει ένα μεγάλο ορθό α , το α_R είναι συνήθως μικρό (0.02 με 0.5).

Η εξής σχέση (δείτε Harris, Gray και Searle, 1966) συνδέει τις τέσσερις αυτές παραμέτρους του μοντέλου Ebers-Moll με το ρεύμα I_S του τρανζίστορ (βλ. Κεφάλαιο 4):

$$\alpha_F I_{SE} = \alpha_R I_{SC} = I_S \quad (14.3)$$

Επειδή $\alpha_F \approx 1$, βλέπουμε ότι

$$I_{SE} \approx I_S \quad (14.4)$$

Ας υπενθυμίσουμε ότι για τρανζίστορ χαμηλής ισχύος (μικρού σήματος) το I_S είναι τάξης μεγέθους 10^{-14} μέχρι 10^{-15} A και είναι ανάλογο του εμβαδού της ένωσης εκπομπού-βάσης.

Τα Ρεύματα στους Ακροδέκτες του Τρανζίστορ

Αφού παρουσιάσαμε τη φυσική σημασία του μοντέλου EM, θα το χρησιμοποιήσουμε τώρα για να εκφράσουμε τα ρεύματα στους ακροδέκτες του BJT σε συνάρτηση με τις τάσεις ένωσης. Από το Σχήμα 14.1. μπορούμε να γράψουμε

$$i_E = i_{DE} - \alpha_R i_{DC} \quad (14.5)$$

$$i_C = -i_{DC} + \alpha_F i_{DE} \quad (14.6)$$

$$i_B = (1 - \alpha_F) i_{DE} + (1 - \alpha_R) i_{DC} \quad (14.7)$$

Αντικαθιστώντας τα i_{DE} και i_{DC} από τις Εξ. (14.1) και (14.2) και χρησιμοποιώντας την Εξ. (14.3) έχουμε

$$i_E = \frac{I_S}{\alpha_F} (e^{v_{BE}/V_T} - 1) - I_S (e^{v_{BC}/V_T} - 1) \quad (14.8)$$

$$i_C = I_S (e^{v_{BE}/V_T} - 1) - \frac{I_S}{\alpha_R} (e^{v_{BC}/V_T} - 1) \quad (14.9)$$

$$i_B = \frac{I_S}{\beta_F} (e^{v_{BE}/V_T} - 1) + \frac{I_S}{\beta_R} (e^{v_{BC}/V_T} - 1) \quad (14.10)$$

όπου β_F είναι το ορθό β και β_R είναι το ανάστροφο β ,

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (14.11)$$

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R} \quad (14.12)$$

Ενώ το β_F είναι συνήθως μεγάλο, το β_R είναι συνήθως μικρό.

Άσκηση

14.1 Ένα συγκεκριμένο τρανζίστορ έχει $\alpha_F \approx 1$ και $\alpha_R = 0.02$. Το ρεύμα κόρου του εκπομπού του είναι περίπου 10^{-14} A. Ποιο είναι το ρεύμα κόρου του συλλέκτη του; Ποιο είναι το μέγεθος της ένωσης συλλέκτη σε σχέση με το μέγεθος της ένωσης εκπομπού; Ποια είναι η τιμή του β_R ;

Απ. 50×10^{-14} A, 50 φορές μεγαλύτερη, 0.02

Εφαρμογή του Μοντέλου EM

Θα θεωρήσουμε τώρα την εφαρμογή του μοντέλου EM στο χαρακτηρισμό της λειτουργίας του τρανζίστορ στις διάφορες περιοχές.

Η ενεργός περιοχή κανονικής (ορθής) λειτουργίας (Normal Active Mode). Εδώ η ένωση εκπομπού-βάσης είναι ορθά πολωμένη και η ένωση συλλέκτη-βάσης είναι ανάστροφα πολωμένη. Η λέξη **κανονική** χρησιμοποιείται για να διαχωρίσει την περιοχή αυτή από την περιοχή όπου οι ρόλοι των πολώσεων στις ενώσεις έχουν αντιστραφεί (περιοχή ανάστροφης λειτουργίας). Εφόσον η v_{BC} είναι αρνητική και το μέγεθός της είναι συνήθως πολύ μεγαλύτερο από V_T , οι Εξ. (14.8) ως (14.10) μπορούν να προσεγγιστούν ως

$$i_E \approx \frac{I_S}{\alpha_F} e^{v_{BE}/V_T} + I_S \left(1 - \frac{1}{\alpha_F} \right) \quad (14.13)$$

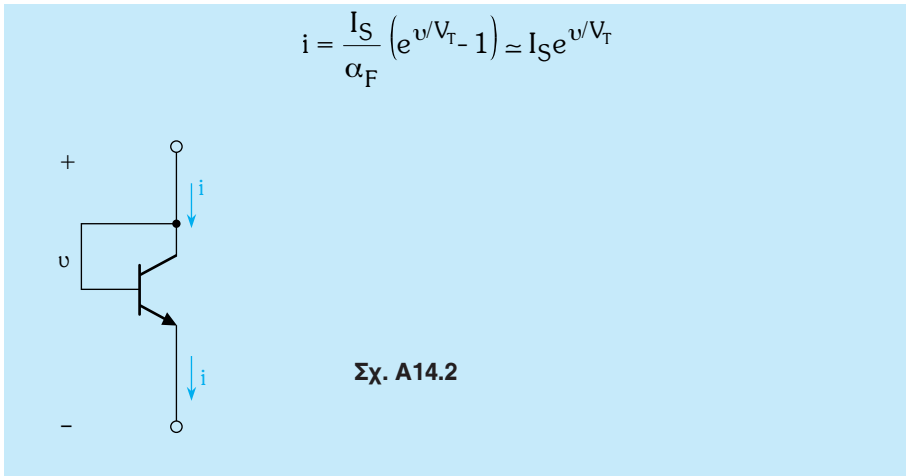
$$i_C \approx I_S e^{v_{BE}/V_T} + I_S \left(\frac{1}{\alpha_R} - 1 \right) \quad (14.14)$$

$$i_B \approx \frac{I_S}{\beta_F} e^{v_{BE}/V_T} - I_S \left(\frac{1}{\beta_F} + \frac{1}{\beta_R} \right) \quad (14.15)$$

Σε καθεμία από τις τρεις αυτές σχέσεις μπορούμε να αγνοήσουμε τον δεύτερο όρο του δεξιού μέρους. Αυτό έχει ως αποτέλεσμα τις γνωστές σχέσεις ρεύματος-τάσης που διέπουν την ενεργό περιοχή λειτουργίας.

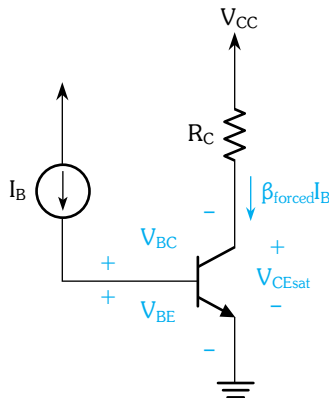
Άσκηση

14.2 Χρησιμοποιήστε την Εξ. (14.8) για να δείξετε ότι η χαρακτηριστική i - v του τρανζίστορ συνδεσμολογίας διόδου του Σχήματος A14.2 δίνεται από τον τύπο



Η Περιοχή Κόρου. Ας θεωρήσουμε πρώτα την κανονική (όχι ανάστροφη) περιοχή κόρου όπως φαίνεται στο κύκλωμα του Σχήματος 14.2. Ας υποθέσουμε ότι το ρεύμα I_B σπρώχνεται όλο μέσα στη βάση και ότι η τιμή του είναι ικανή να οδηγήσει το τρανζίστορ στον κόρο. Τότε το ρεύμα συλλέκτη θα είναι $\beta_{\text{forced}} I_B$, όπου $\beta_{\text{forced}} < \beta_F$. Θέλουμε να χρησιμοποιήσουμε τις εξισώσεις EM για να πάρουμε μια σχέση για την $V_{CE\text{sat}}$.

Στον κόρο και οι δύο ενώσεις είναι ορθά πολωμένες. Έτσι οι V_{BE} και V_{BC} είναι και οι δύο θετικές και οι τιμές τους είναι πολύ μεγαλύτερες από V_T . Συνεπώς, μπορούμε να υποθέσουμε ότι στις εξ. (14.9) και (14.10) ισχύει $\{e^{V_{BE}/V_T} \gg 1\}$ και $\{e^{V_{BC}/V_T} \gg 1\}$. Κάνοντας αυτές τις προσεγγίσεις και αντικαθιστώντας $i_B = I_B$ και $i_C = \beta_{\text{forced}} I_B$ παίρνουμε δύο εξισώσεις που μπορούν να λυθούν και να μας δώσουν τις V_{BE} και V_{BC} .



Σχ.14.2 Κύκλωμα στο οποίο το τρανζίστορ λειτουργεί στην κανονική περιοχή κόρου.

Η τάση κόρου V_{CEsat} μπορεί να ληφθεί ως διαφορά μεταξύ αυτών των πτώσεων τάσης:

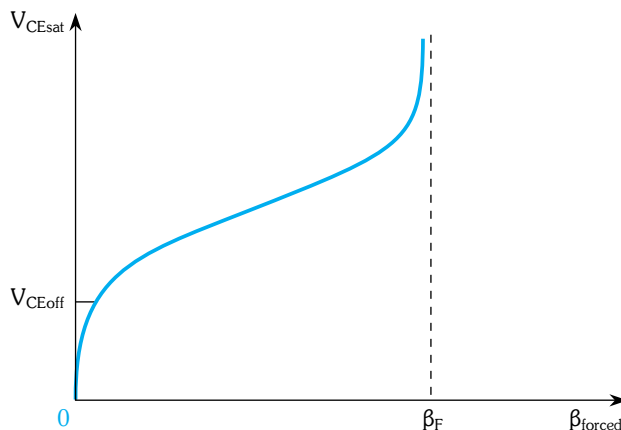
$$V_{CEsat} = V_T \ln \frac{1 + (\beta_{forced} + 1) \beta_R}{1 - \beta_{forced} / \beta_F} \quad (14.16)$$

Θα είναι σκόπιμο από εκπαιδευτικής πλευράς να χρησιμοποιήσουμε την Εξ. (14.16) για να βρούμε την V_{CEsat} για μια τυπική περίπτωση. Ο Πίνακας 14.1 μας δίνει αριθμητικές τιμές για την περίπτωση $\beta_F = 50$, $\beta_R = 0.1$ και διάφορες τιμές του β_{forced} . Επίσης το Σχήμα 14.3 δείχνει τη γραφική παράσταση της V_{CEsat} σε συνάρτηση με το β_{forced} . Εφόσον $i_C = \beta_{forced} I_B$ και το I_B είναι σταθερό, το β_{forced} είναι ανάλογο του i_C . Η καμπύλη του Σχήματος 14.3 είναι απλά η χαρακτηριστική $v_{CE}-i_C$ για ένα σταθερό ρεύμα βάσης I_B . Από τον Πίνακα 14.1 και το Σχήμα 14.3 παρατηρούμε ότι η άπειρη τιμή της V_{CEsat} που παίρνουμε όταν $\beta_{forced} = \beta_F$, είναι ένδειξη ότι το τρανζίστορ βρίσκεται στα όρια μεταξύ κόρου και ενεργού περιοχής.

Πίνακας 14.1 ΤΑΣΗ ΚΟΡΟΥ ΓΙΑ ΤΗΝ ΠΕΡΙΠΤΩΣΗ $\beta_F = 50$ ΚΑΙ $\beta_R = 0.1$

β_{Forced}	50	48	45	40	30	20	10	1	0
V_{CEsat} (mV)	∞	235	211	191	166	147	123	76	60

Το Σχήμα 14.3 εικονίζει το γεγονός αυτό καλύτερα, δείχνοντας την ανεξαρτησία της v_{CE} από το β_{forced} (ή το i_C) στην ενεργό περιοχή. Καθώς μειώνεται το β_{forced} , το τρανζίστορ οδηγείται βαθύτερα στον κόρο, η V_{BC} αυξάνεται και η V_{CEsat} μειώνεται. Τελικά για $\beta_{forced} = 0$, που αντιστοιχεί στο



Σχ.14.3 Μεταβολή της V_{CEsat} με το forced β ($\beta_{forced} = I_C/I_B$). Η κατακόρυφη γραμμή στο σημείο $\beta_{forced} = \beta_F$ δείχνει ότι το τρανζίστορ έχει αφήσει την περιοχή κόρου και έχει περάσει στην ενεργό περιοχή.

συλλέκτη ανοικτοκυλωμένο, παίρνουμε μια μικρή τιμή για τη V_{CEsat} . Η μικρή αυτή τιμή είναι περίπου ίση με την τάση εκτροπής V_{CEoff} του διακόπτη BJT, όπως ορίστηκε στο Σχήμα 4.61.

Οι αριθμητικές τιμές του Πίνακα 14.1 μας δείχνουν ότι για ένα τρανζίστορ στον κόρο η $V_{CEsat} \approx 0.1 - 0.3$ V. Για προσεγγιστικούς υπολογισμούς, θα υποθέσουμε από εδώ και πέρα πως για ένα τρανζίστορ στα πρόθυρα του κόρου η $V_{CEsat} = 0.3$ V. Για ένα τρανζίστορ "άνετα" μέσα στον κόρο η $V_{CEsat} = 0.2$ V. Για ένα τρανζίστορ βαθιά στον κόρο $V_{CEsat} = 0.1$ V.

Άσκηση

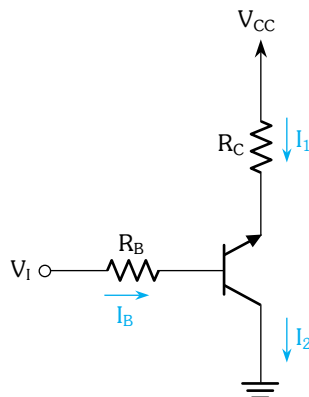
14.3 Χρησιμοποιήστε τις τιμές του πίνακα 14.1 για $\beta_{forced} = 1$ και 10 για να υπολογίσετε μια προσεγγιστική τιμή για την αντίσταση κόρου μεταξύ συλλέκτη και εκπομπού, R_{CEsat} , ενός τρανζίστορ που έχει $I_B = 1$ mA.

Απ. 5.2 Ω.

Η Περιοχή Αναστροφής. Στη συνέχεια θα θεωρήσουμε τη λειτουργία του διπολικού τρανζίστορ στην περιοχή αναστροφής. Το Σχήμα 14.4 εικονίζει ένα απλό κύκλωμα στο οποίο το τρανζίστορ χρησιμοποιείται με το συλλέκτη στη θέση του εκπομπού και αντίστροφα. Ας σημειώσουμε ότι τα εικονιζόμενα ρεύματα -δηλαδή τα I_B , I_1 και I_2 - έχουν θετικές τιμές. Έτσι εφόσον $i_C = -I_2$ και $i_E = -I_1$, το i_C και το i_E θα είναι αρνητικά.

Εφόσον οι ρόλοι του εκπομπού και του συλλέκτη έχουν αντιστραφεί, το τρανζίστορ του Σχήματος 14.4 θα λειτουργεί στην ενεργό περιοχή (που ονομάζεται **ενεργός περιοχή αναστροφής** στην περίπτωση αυτή), όταν η ένωση εκπομπού-βάσης είναι ανάστροφα πολωμένη. Στην περίπτωση αυτή έχουμε

$$I_1 = \beta_R I_B$$



Σχ. 14.4 Κύκλωμα στο οποίο το τρανζίστορ λειτουργεί στην ανάστροφη περιοχή.

Εφόσον το β_R είναι πολύ χαμηλό, δεν έχει ιδιαίτερο νόημα να λειτουργούμε το BJT στην ενεργό περιοχή αντιστροφής.

Το τρανζίστορ του κυκλώματος του Σχήματος 14.4 θα έρθει στον κόρο (δηλαδή θα λειτουργήσει στην **ανάστροφη περιοχή κόρου**), όταν η έ-
νωση εκπομπού-βάσης πολωθεί ορθά. Στην περίπτωση αυτή έχουμε

$$\frac{I_1}{I_B} < \beta_R$$

Για την περίπτωση αυτή, μπορούμε να χρησιμοποιήσουμε τις εξισώσεις EM για να βρούμε μια έκφραση για τη V_{CEsat} . Μια τέτοια έκφραση μπορούμε να πάρουμε κατευθείαν από την Εξίσωση (14.16) ως εξής: αντικαθιστούμε το β_{forced} με $-I_2/I_B$ και μετά αντικαθιστούμε το I_2 με $I_1 + I_B$. Το αποτέλεσμα είναι

$$V_{ECsat} = V_T \ln \frac{1 + \frac{1}{\beta_F} + \left(\frac{I_1}{I_B}\right)\left(\frac{1}{\beta_F}\right)}{1 - \left(\frac{I_1}{I_B}\right)\left(\frac{1}{\beta_R}\right)} \quad (14.17)$$

Από την εξίσωση αυτή μπορούμε να δούμε ότι η ελάχιστη τιμή της V_{ECsat} προκύπτει όταν $I_1 = 0$. Η ελάχιστη αυτή τιμή είναι πολύ κοντά στο μηδέν. Επιπλέον, παρατηρούμε ότι πρέπει να ικανοποιείται η συνθήκη $I_1/I_B < \beta_R$, για να μείνει θετικός ο παρονομαστής. Αυτή είναι η συνθήκη λειτουργίας του τρανζίστορ στην ανάστροφη περιοχή κόρου. Τελικά ας σημειώσουμε ότι εφόσον το β_R είναι συνθήως πολύ μικρό, το I_1 πρέπει να είναι πολύ μικρότερο από το I_B , με αποτέλεσμα η V_{ECsat} να είναι πολύ μικρή. Αυτός ακριβώς είναι ο λόγος για να τον οποίο λειτουργούμε το διπολικό τρανζίστορ στην ανάστροφη περιοχή κόρου. Έχουν παρατηρηθεί τάσεις κόρου με τάξη μεγέθους κλασμάτων του millivolt. Το βασικό μειονέκτημα της αναστροφής περιοχής κόρου είναι ο σχετικά μεγάλος χρόνος αποκοπής.

Άσκηση

14.4 Για το κύκλωμα του Σχήματος 14.4 έστω ότι $R_B = 1 \text{ k}\Omega$ και $V_1 = V_{CC} = +5 \text{ V}$. Υποθέτουμε ότι $V_{BC} = 0.6 \text{ V}$, $\beta_R = 0.1$ και $\beta_F = 50$. Υπολογίστε προσεγγιστικές τιμές για την τάση εκπομπού στις παρακάτω περιπτώσεις: $R_C = 1 \text{ k}\Omega$, $R_C = 10 \text{ k}\Omega$ και $R_C = 100 \text{ k}\Omega$.

Απ. +4.56 V, +0.6 V, +3.5 mV

Χρόνοι αλλαγής κατάστασης του Τρανζίστορ

Εξαιτίας των εσωτερικών τους χωρητικών φαινομένων, τα τρανζίστορ δεν μπορούν να αλλάξουν κατάσταση σε μηδενικό χρόνο. Το Σχήμα 14.5 εικονίζει το γεγονός αυτό, δείχνοντας την κυματομορφή του ρεύματος συλλέκτη i_C του τρανζίστορ ενός απλού αντιστροφέα μαζί με τις κυματομορφές της τάσης εισόδου v_1 και του ρεύματος βάσης i_B . Οπως φαίνεται στο σχήμα, όταν η τάση εισόδου ανεβαίνει από το αρνητικό (ή μηδενικό) επίπεδο V_1 στο θετικό επίπεδο v_2 , το ρεύμα του συλλέκτη δεν ανταποκρίνεται άμεσα στην αλλαγή αυτή. Για την ακρίβεια περνάει ένας χρόνος t_d προτού αρχίσει να ρέει υπολογίσιμο ρεύμα στο συλλέκτη. Η χρονική αυτή καθυστέρηση οφείλεται στο ότι η χωρητικότητα αραίωσης EBJ¹ πρέπει να φορτιστεί με την τάση πόλωσης V_{BE} (περίπου 0.7 V). Αφού τελειώσει η διαδικασία της φόρτισης, το ρεύμα συλλέκτη αρχίζει μια εκθετική άνοδο προς μια τελική τιμή βI_{B2} , όπου I_{B2} είναι το ρεύμα που σπρώχνεται προς τη βάση.² Το I_{B2} δίνεται από την εξής σχέση:

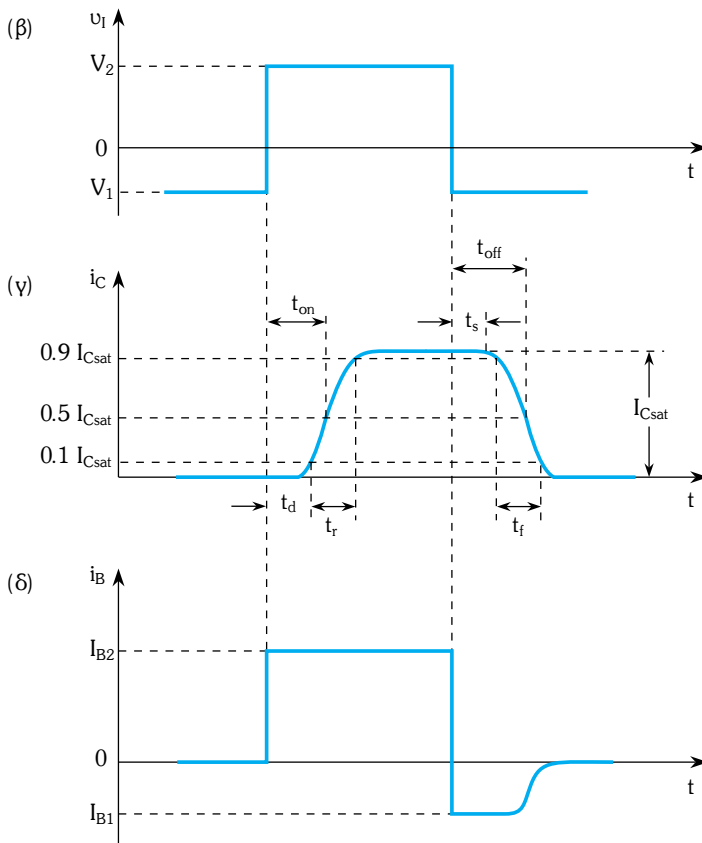
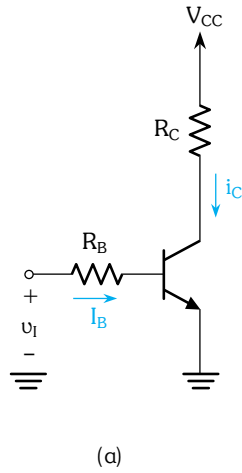
$$I_{B2} = \frac{V_2 - V_{BE}}{R_B} \quad (14.18)$$

Η σταθερά χρόνου της εκθετικής αυτής ανόδου καθορίζεται από τις χωρητικότητες ενώσεων. Για την ακρίβεια, μέσα στο διάστημα της ανερχόμενης ακμής του i_C , το φορτίο από τους επιπλέον φορείς μειονότητας αποθηκεύεται στην περιοχή της βάσης (βλ. Κεφάλαιο 4).

Παρόλο που η εκθετική άνοδος του i_C τείνει προς την τιμή βI_{B2} , δε θα τη φτάσει ποτέ ακριβώς, επειδή το τρανζίστορ θα έρθει στον κόρο και το ρεύμα συλλέκτη θα περιοριστεί στο $I_{C_{sat}}$. Ένα μέτρο για την ταχύτητα αλλαγής κατάστασης (switching speed) του BJT είναι ο **χρόνος ανόδου t_r** , που εικονίζεται στο σχήμα 14.5(γ). Άλλο μέτρο είναι ο **χρόνος αγωγής (turn-on time) t_{on}** , που εικονίζεται επίσης στο Σχήμα 14.5(γ). Το Σχήμα 14.6(a) εικονίζει τον τρόπο με τον οποίο, το αποθηκευμένο φορτίο των επιπλέον φορέων μειονότητας είναι καταμεμημένο στη βάση ενός τρανζίστορ που είναι στον κόρο. Σε αντίθεση με την ενεργό περιοχή, η συγκέντρωση φορέων μειονότητας δεν είναι μηδέν στην άκρη της περιοχής CBJ. Αυτό συμβαίνει επειδή η ένωση CBJ είναι τώρα ορθά πολωμένη. Μεγάλο ενδιαφέρον έχει εδώ το επιπλέον φορτίο, που είναι αποθηκευμένο στη βάση και παριστάνεται με την έγχρωμη περιοχή στο Σχήμα 14.6(a). Επειδή το φορτίο αυτό δε συνεισφέρει στην κλίση της καμπύλης συγκέντρωσης φορτίου, δεν οδηγεί και σε αντίστοιχη συνιστώσα ρεύματος συλλέκτη. Αντίθετα αυτό το επιπλέον αποθηκευμένο φορτίο προκαλείται από την εισροή περισσότερου ρεύματος στη βάση απ' όσο απαιτείται για να κορεσθεί το

¹ Επειδή κατά τη διάρκεια του t_d το ρεύμα είναι μηδέν η χωρητικότητα διάχυσης θα είναι μηδέν.

² Χρησιμοποιούμε το β και το β_F χωρίς διάκριση.



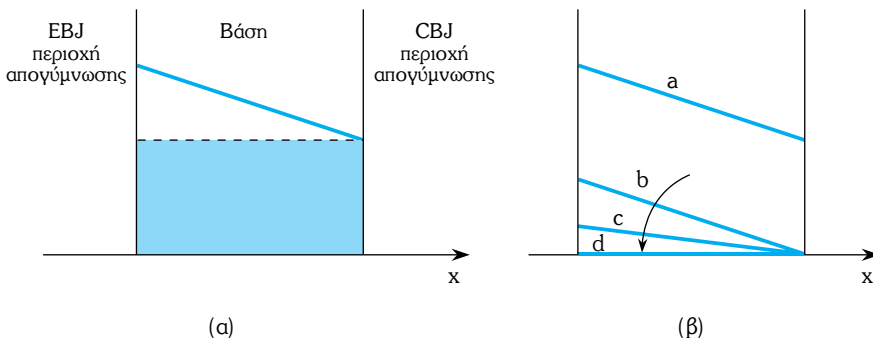
Σχ. 14.5 Χρόνοι αλλαγής κατάστασης του BJT στο κύκλωμα απλού αντιστροφέα του (α) για την περίπτωση όπου η είσοδος u_1 είναι η τετραγωνική κυματομορφή του (β). Η επίδραση του αποθηκευμένου φορτίου βάσης κατά την επάνοδο της u_1 στην τιμή V_1 , εξηγείται σε συνδυασμό με τις Εξ. (14.19) και (14.20).

τρανζίστορ. Όσο μεγαλύτερος είναι ο παράγοντας υπερκορεσμού (overdrive factor), τόσο περισσότερο φορτίο αποθηκεύεται στη βάση. Για την ακρίβεια, το επιπλέον φορτίο Q_s , που ονομάζεται **φορτίο κορεσμού ή πλεονάζον φορτίο** (excess charge), είναι ανάλογο του ρεύματος βάσης που περισσεύει, δηλαδή της ποσότητας $I_{B2} - I_{Csat}/\beta$. Δηλαδή

$$Q_s = \tau_s (I_{B2} - I_{Csat}/\beta) \quad (14.19)$$

όπου τ_s είναι μια παράμετρος του τρανζίστορ γνωστή ως **σταθερά χρόνου αποθήκευσης** (storage time constant).

Ας δούμε τώρα τη διαδικασία αποκοπής (turn-off). Όταν η τάση εισόδου v_i επιστρέφει στο χαμηλό της επίπεδο V_1 , τότε το ρεύμα συλλέκτη δεν αποκρίνεται, αλλά μένει σχεδόν σταθερό για κάποιο χρονικό διάστημα t_s (Σχήμα 14.5(γ)). Αυτό είναι το χρονικό διάστημα που απαιτείται για να φύγει το φορτίο κορεσμού από τη βάση. Κατά τη διάρκεια του t_s , που λέγεται και **χρόνος αποθήκευσης**, το διάγραμμα που περιγράφει την πυκνότητα των αποθηκευμένων φορέων μειονότητας θ' αλλάξει, από εκείνο της γραμμής α σ' εκείνο της γραμμής β του Σχήματος 14.6(β). Όπως φάνηκε στο Σχήμα 14.5(δ), το ρεύμα βάσης αντιστρέφει την κατεύθυνσή του επειδή η v_{BE} παραμένει περίπου 0.7 V ενώ η v_i είναι στο αρνητικό (ή μηδενικό) επίπεδο V_1 . Το ανάστροφο ρεύμα I_{B1} βοηθά στο να "αποφορτιστεί η βάση" και στο να φύγει το επιπλέον αποθηκευμένο φορτίο. Αν λείπει το ανάστροφο ρεύμα βάσης I_{B1} , το φορτίο κορεσμού θα πρέπει να αφαιρεθεί εντελώς μόνο με επανασύνδεση. Μπορούμε να δείξουμε (βλ. Millman και Taub 1965) ότι ο χρόνος αποθήκευσης t_s δίνεται από τη σχέση



Σχ. 14.6 (α) Κατανομή των επιπλέον φορέων μειονότητας στη βάση ενός κορεσμένου τρανζίστορ. **(β)** καθώς το τρανζίστορ αποκόπτεται, το επιπλέον αποθηκευμένο φορτίο πρέπει να φύγει πρώτο. Στο διάστημα αυτό η κατανομή αλλάζει από τη γραμμή α στη β και στη συνέχεια τείνει προς το μηδέν (γραμμή δ) οπότε το ρεύμα συλλέκτη πέφτει εκθετικά στο μηδέν.

$$t_s = \tau_s \frac{I_{B2} - I_{Csat}/\beta}{I_{B1} + I_{Csat}/\beta} \quad (14.20)$$

Μόλις φύγει το επιπλέον αποθηκευμένο φορτίο, το ρεύμα συλλέκτη αρχίζει να πέφτει εκθετικά με σταθερά χρόνου που καθορίζεται από τις χωρητικότητες των ενώσεων. Κατά τη διάρκεια του χρόνου πτώσης η κλίση του διαγράμματος πλεονάζοντος φορτίου τείνει προς το μηδέν (Σχ. 14.6(β)), καθώς η χωρητικότητα EBJ φορτίζεται μέχρι το επίπεδο της αναστροφής τάσης πώλωσης, V_1 .

Τυπικές τιμές για τα t_d , t_r και t_f , έχουν τάξη μεγέθους μερικά nanosecond έως μερικές δεκάδες nanoseconds. Ο χρόνος αποθήκευσης t_s όμως, είναι μεγαλύτερος και συνήθως είναι ο παράγοντας που καθορίζει την ταχύτητα αλλαγής κατάστασης του τρανζίστορ. Όπως αναφέραμε και προηγουμένως, το t_s αυξάνεται ανάλογα με τον παράγοντα υπερκορεσμού (δηλαδή με το πόσο βαθιά στον κόρο οδηγείται το τρανζίστορ). Συνεπάγεται λοιπόν ότι αν επιθυμούμε ψηφιακά κυκλώματα μεγάλης ταχύτητας, πρέπει να αποφύγουμε τη λειτουργία στην περιοχική κόρου. Αυτή είναι η ιδέα πίσω από τις δύο μορφές λογικής μη κόρου που θα μελετήσουμε, δηλαδή τη Schottky TTL και την ECL.

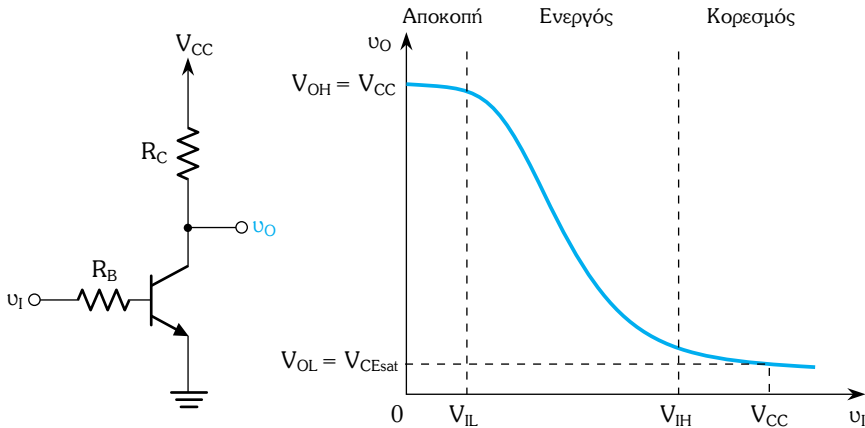
Ασκηση

14.5 Θέλουμε να χρησιμοποιήσουμε το ισοδύναμο κύκλωμα τρανζίστορ του σχήματος 7.22 για να βρούμε μια έκφραση για το χρόνο καθυστέρησης t_d ενός αντιστροφέα απλού τρανζίστορ, που τροφοδοτείται από μια βηματική τάση με αντίσταση R_B . Εφόσον κατά τη διάρκεια του χρόνου καθυστέρησης το τρανζίστορ δεν άγει, η αντίσταση r_n είναι άπειρη και η C_n θα αποτελείται μόνο από τη χωρητικότητα απογύμνωσης C_{je} . Μπορούμε να υποθέσουμε προσεγγιστικά ότι η C_{je} θα μείνει σταθερή κατά τη διάρκεια του t_d . Επίσης, εφόσον η τάση του συλλέκτη δεν αλλάζει κατά τη διάρκεια του t_d , μπορούμε να θεωρήσουμε το συλλέκτη γειωμένο. Υποθέτουμε ότι τα δύο επίπεδα της v_1 είναι V_1 και V_2 και ότι το τέλος του t_d θεωρείται η χρονική στιγμή κατά την οποία $v_n = 0.7$ V.

Απ. $t_d = (R_B + r_x)(C_{je} + C_\mu) \ln [(V_2 - V_1)/(V_2 - 0.7)]$

14.2 ΠΑΛΙΟΤΕΡΕΣ ΜΟΡΦΕΣ ΔΙΠΟΛΙΚΩΝ ΨΗΦΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ

Για να τοποθετήσουμε την ύλη του κεφαλαίου αυτού στην κατάλληλη προοπτική, θα εξετάσουμε με συντομία δύο παλιότερες μορφές διπολικής λογικής.



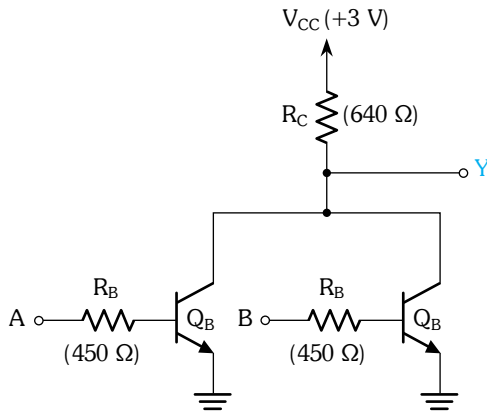
Σχ. 14.7 Ο βασικός αντιστροφέας BJT και η χαρακτηριστική μεταφοράς του.

Ο Βασικός Αντιστροφέας BJT

Το Σχήμα 14.7 εικονίζει το βασικό λογικό αντιστροφέα BJT μαζί με τη χαρακτηριστική μεταφοράς του. Το κύκλωμα αυτό, το μελετήσαμε λεπτομερώς στο Κεφάλαιο 4. Επιπλέον στην προηγούμενη ενότητα μελετήσαμε μοντέλα BJT που βοηθούν στην ανάλυση της στατικής και της δυναμικής λειτουργίας του αντιστροφέα BJT. Ας σημειώσουμε ότι για είσοδο λογικού-0, $u_I \leq V_{IL}$, το τρανζίστορ θα είναι αποκομμένο και η τάση εξόδου θα είναι ίση με V_{CC} , δηλαδή $V_{OH} = V_{CC}$. Για είσοδο λογικού-1, $u_I \geq V_{IH}$, το BJT θα είναι στον κόρο και η τάση εξόδου θα είναι ίση με V_{CEsat} , δηλαδή $V_{OL} = V_{CEsat} = 0.1$ έως 0.2 V.

Λογική Αντιστάσεων-Τρανζίστορ (Resistor-Transistor Logic ή RTL)

Συνδέοντας παράλληλα τις εξόδους δύο ή περισσότερων βασικών αντιστροφέων, παίρνουμε το βασικό κύκλωμα πύλης μιας από τις πρώτες οικογένειες λογικών πυλών, γνωστής ως Λογική Αντιστάσεων-Τρανζίστορ (RTL). Το Σχήμα 14.8 εικονίζει μια τέτοια πύλη NOR δύο εισόδων. Το κύκλωμα λειτουργεί ως εξής: εάν μια από τις δύο εισόδους, έστω η A, είναι στο λογικό 1, τότε το αντίστοιχο τρανζίστορ (Q_A) θα άγει και θα είναι στον κόρο. Αυτό έχει ως αποτέλεσμα $u_Y = V_{CEsat}$, η οποία είναι στο λογικό 0. Εάν η άλλη είσοδος (B) είναι επίσης στο λογικό 1, το αντίστοιχο τρανζίστορ (Q_B) θα άγει και θα είναι στον κόρο, οπότε θα βοηθάει την έξοδο να μείνει στο λογικό μηδέν. Μπορούμε να δούμε ότι για να είναι η έξοδος στο λογικό 1 ($u_Y = V_{CC}$), πρέπει ταυτόχρονα τα Q_A και Q_B να είναι αποκομμένα (off). Είναι φανερό ότι αυτό πετυχαίνεται όταν οι εισόδους A και B είναι ταυτόχρονα στο λογικό 0. Δηλαδή το λογικό 1 θα εμφανιστεί μόνο σε μια περίπτωση: όταν A και B βρίσκονται στο λογικό 0. Μπορούμε λοιπόν να γράψουμε την έκφραση λογικής Boole



Σχ.14.8 Μια πύλη NOR δύο εισόδων της οικογένειας RTL.

$$Y = \overline{AB}$$

η οποία μπορεί να γραφτεί επίσης ως εξής:

$$Y = \overline{A + B}$$

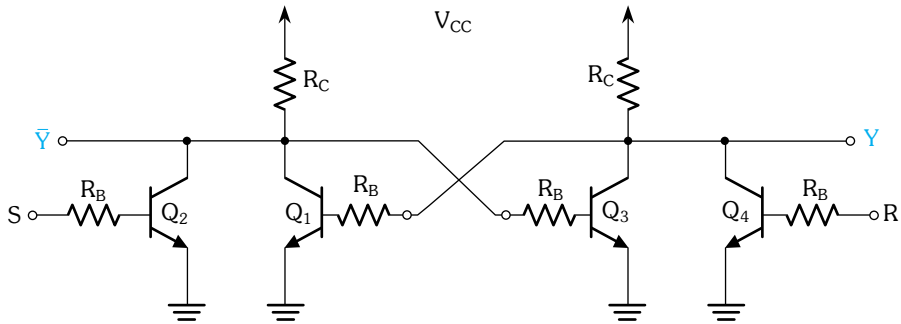
που δεν είναι άλλη από τη συνάρτηση NOR.

Το fan-in της RTL πύλης NOR μπορεί να αυξηθεί, αν προσθέσουμε περισσότερα τρανζίστορ στην είσοδο. Οι τιμές των εικονιζόμενων αντιστάσεων και τάσεων τροφοδοσίας είναι εκείνες που χρησιμοποιούσαν στα ολοκληρωμένα κυκλώματα RTL στη δεκαετία του 1960.

Παρόλο που το υψηλό λογικό επίπεδο εξόδου V_{OH} μιας πύλης είναι στο V_{CC} όταν αυτή είναι μόνη της, αυτό δεν συμβαίνει όταν η πύλη RTL οδηγήσει άλλες παρόμοιες πύλες. Εφόσον τα τρανζίστορ εισόδου των οδηγούμενων πυλών θα άγουν, το συνολικό ρεύμα βάσης θα τροφοδοτείται μέσα από την αντίσταση R_C της οδηγού πύλης. Έτσι η τιμή της V_{OH} θα είναι σημαντικά χαμηλότερη, η τιμή δε αυτή, θα εξαρτάται από το fan-out αλλά θα είναι πλησιέστερα στο 1 V σε κάθε περίπτωση. Επιπλέον η τιμή αυτή θα μειώνεται περισσότερο καθώς το fan-out της πύλης αυξάνεται. Αυτό θα έχει ως αποτέλεσμα τα περιθώρια θορύβου της πύλης RTL να είναι μάλλον στενά. Το γεγονός αυτό σε συνδυασμό με το ότι οι πύλες RTL σπαταλούν πολλή ισχύ, (το γινόμενο καθυστέρησης-ισχύος είναι περίπου 140 pJ) οδήγησε στην απόσυρση των κυκλωμάτων RTL.

To SR Flip-Flop RTL

Προτού αφήσουμε την οικογένεια RTL θέλουμε να δείξουμε την εφαρμογή της στο κύκλωμα ενός SR flip-flop, που εικονίζεται στο Σχήμα 14.9. Προφανώς το κύκλωμα σχηματίζεται συνδέοντας χιαστί δύο RTL πύλες NOR δύο εισόδων. Το κύκλωμα αυτό ήταν αρκετά δημοφιλές την εποχή της



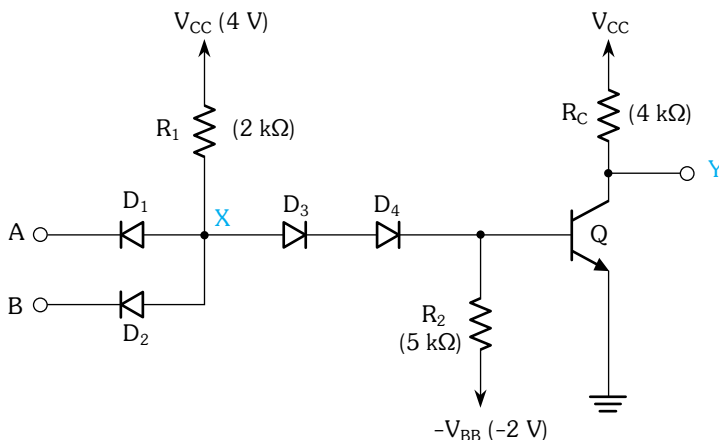
Σχ. 14.9 Ένα SR flip-flop που σχηματίζεται συνδέοντας χιαστί δύο πύλες NOR της οικογένειας RTL.

σχεδίασης με διακριτά στοιχεία, πριν από την έλευση των ολοκληρωμένων κυκλωμάτων στις αρχές της δεκαετίας του 1960. Η λειτουργία του κυκλώματος είναι απλή και μοιάζει με τη λειτουργία του SR flip-flop, της οποίας η περιγραφή δόθηκε στην Ενότητα 13.7.

Λογική Διόδων-Τρανζίστορ (Diode-Transistor Logic ή DTL)

Μια άλλη παλαιότερη λογική οικογένεια κυκλωμάτων BJT είναι η λογική Διόδων-Τρανζίστορ ή DTL, παράδειγμα της οποίας είναι η λογική πύλη NAND δύο εισόδων, που εικονίζεται στο κύκλωμα του Σχήματος 14.10. Η DTL μας ενδιαφέρει γιατί, όπως θα δούμε στην επόμενη ενότητα, είναι ο πρόγονος της λογικής TTL.

Το κύκλωμα DTL λειτουργεί ως εξής: εστω ότι η είσοδος B είναι ανοικτή. Αν ένα σήμα λογικού 0 (≈ 0 V) εφαρμοστεί στο A, η διάδος D_1 θα άγει και η τάση στον κόμβο X θα ισούται με μια πτώση τάσης αγωγής διό-



Σχ. 14.10 Μια πύλη NAND δύο εισόδων της οικογένειας DTL.

δου (0.7 V) πάνω από το λογικό 0. Οι δύο δίοδοι D_3 και D_4 θα άγουν, προκαλώντας στη βάση του τρανζίστορ Q τάση ίση με δύο τάσεις αγωγής διόδου κάτω από την τάση στον κόμβο X. Συνεπώς η βάση θα βρίσκεται σε μια μικρή αρνητική τάση, οπότε το Q θα είναι αποκομμένο και $v_Y = V_{CC}$ (λογικό 1).

Ας θεωρήσουμε τώρα ότι αυξάνουμε την τάση v_A . Μπορούμε να δούμε ότι η διάδος D_1 θα συνεχίσει να άγει ενώ ο κόμβος X θα συνεχίσει να αυξάνει σε δυναμικό. Οι δίοδοι D_3 και D_4 θα συνεχίσουν να άγουν, οπότε η βάση θα συνεχίσει να αυξάνει σε δυναμικό. Η κατάσταση αυτή θα συνεχιστεί μέχρις ότου η τάση στη βάση φθάσει περίπου τα 0.5 V, οπότε θα αρχίσει να άγει το τρανζίστορ. Αυτό θα συμβεί όταν η τάση στο A θα είναι

$$v_A \approx 0.5 + V_{D4} + V_{D3} - V_{D1} \approx 1.2V$$

Μικρές περαιτέρω αυξήσεις στη v_A από αυτό το κατώφλι, θα εμφανιστούν ως αυξήσεις στη v_{BE} και συνεπώς στο i_C . Σ' αυτή την περιοχική τιμών το τρανζίστορ θα βρίσκεται στην ενεργό περιοχική. Τελικά η τάση στη βάση θα φτάσει τα 0.7 V και το τρανζίστορ θα άγει πλήρως. Στο σημείο αυτό, η τάση στον κόμβο X θα σταθεροποιηθεί στις δύο πτώσεις τάσης αγωγής διόδου πάνω από τη V_{BE} οπότε περαιτέρω αυξήσεις στη v_A θα έχουν ως αποτέλεσμα την ανάστροφη πόλωση της D_1 . Μπορούμε να δούμε ότι το ρεύμα στη D_1 θ' αρχίσει να ελαττώνεται όταν η v_A φτάσει περίπου τα 1.4 V. Όταν η D_1 σταματήσει να άγει, όλο το ρεύμα μέσα από την R_1 θα εκτραπεί ώστε να περάσει διαμέσου των D_3 και D_4 , μέσα στη βάση του τρανζίστορ. Το κύκλωμα σχεδιάζεται κανονικά ώστε το ρεύμα που περνάει μέσα στη βάση να είναι ικανό να οδηγήσει το τρανζίστορ στον κόρο. Συνεπώς, όταν το A βρίσκεται στο λογικό 1, το τρανζίστορ θα είναι στον κόρο και η v_Y θα ισούται με V_{CEsat} ($\approx 0.2 V$), το οποίο είναι η έξοδος βρίσκεται στο λογικό 0.

Από τα παραπάνω παρατηρούμε ότι αν είτε η μια είτε και οι δύο είσοδοι είναι σε χαμηλό επίπεδο (low), η αντίστοιχη διάδος (D_1 , D_2 ή και οι δύο) θα άγει, το τρανζίστορ θα είναι αποκομμένο και η έξοδος Y θα είναι σε υψηλό επίπεδο (high). Η έξοδος θα είναι χαμηλά εάν το τρανζίστορ άγει, πράγμα που συμβαίνει για ένα μόνο συνδυασμό εισόδων, όταν όλες οι είσοδοι είναι ταυτόχρονα στο υψηλό επίπεδο. Μπορούμε τότε να γράψουμε την έκφραση άλγεβρας Boole

$$\bar{Y} = AB$$

η οποία μπορεί να ξαναγραφτεί ως

$$Y = \overline{AB}$$

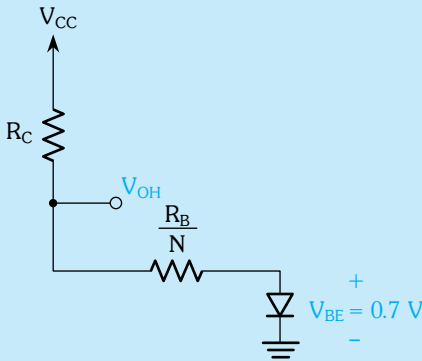
που δεν είναι άλλη από τη συνάρτηση NAND. Το αποτέλεσμα δεν πρέπει να μας εκπλήσσει αφού το κύκλωμα DTL αποτελείται από μια πύλη AND διόδων που σχηματίζεται από τις δίοδους D_1 και D_2 και την αντίσταση R_1

(βλ. Ενότητα 3.1) και στη συνέχεια έναν αντιστροφέα τρανζίστορ. Τελικά, να σημειώσουμε πως εξαιτίας του ρόλου τους στην καθοδήγηση του ρεύματος είτε μέσα στην R_2 είτε μέσα στη βάση του τρανζίστορ, οι δίοδοι D_3 και D_4 είναι γνωστές ως “καθοδηγητικές δίοδοι”.

Η λογική DTL ήταν δημοφιλής στη δεκαετία του 1960 και υλοποιήθηκε πρώτα με χρήση διακριτών στοιχείων και μετά σε μορφή ολοκληρωμένων κυκλωμάτων. Ωστόσο τελικά αντικαταστάθηκε από τη λογική TTL.

Ασκήσεις

14.6 Θεωρήστε την πύλη RTL του Σχήματος 14.8 όταν οδηγεί N πανομοιότυπες πύλες. Εστω ότι και οι δύο εισοδοί της είναι στο χαμηλό επίπεδο. Εξηγήστε στον εαυτό σας πώς η τάση V_{OH} μπορεί να υπολογιστεί χρησιμοποιώντας το ισοδύναμο κύκλωμα που εικονίζεται στο Σχήμα A14.6. Κατόπιν δείξτε ότι



$$V_{OH} = V_{CC} - R_C \frac{V_{CC} - V_{BE}}{R_C + R_B/N}$$

Σχ. A14.6

Για $N = 5$ χρησιμοποιήστε τις τιμές που δίνονται στο Σχήμα 14.8 μαζί με τη $V_{BE} = 0.7 \text{ V}$ για να υπολογίσετε την τιμή της V_{OH} .

Απ. 1 V.

14.7 Για την πύλη DTL του Σχ. 14.10 υποθέστε ότι όλες οι ενώσεις που άγουν έχουν πώση τάσης 0.7 V. (α) Βρείτε το ρεύμα που περνάει μέσα από την D_1 όταν $v_A = 0.2 \text{ V}$ και $v_B = +4 \text{ V}$. Επίσης βρείτε την τάση στη βάση. (β) Με $v_A = v_B = +4 \text{ V}$ βρείτε το ρεύμα πόλωσης βάσης του τρανζίστορ. Εάν $V_{CEsat} = 0.2 \text{ V}$ βρείτε την τιμή του β_{forced} .

Απ. (α) 1.25 mA, -0.5 V, (β) 0.41 mA, 2.3

14.3 ΛΟΓΙΚΗ ΤΡΑΝΖΙΣΤΟΡ-ΤΡΑΝΖΙΣΤΟΡ (TTL Η T²L)

Για περισσότερες από δύο δεκαετίες η λογική TTL υπήρξε εξαιρετικά δημοφιλής. Μάλιστα για το μεγαλύτερο όγκο των ψηφιακών εφαρμογών που

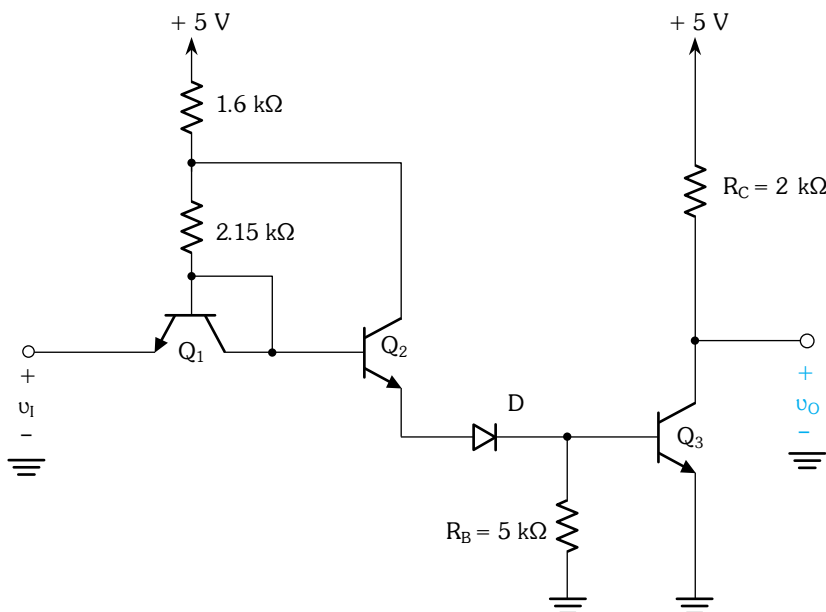
χρησιμοποιούν κυκλώματα σε συσκευασία SSI ή MSI τη λογική TTL ανταγωνίζεται μόνο η CMOS (βλ. Κεφάλαιο 13).

Θα ξεκινήσουμε αυτή την ενότητα μελετώντας την εξέλιξη της λογικής DTL σε TTL. Με τον τρόπο αυτό θα μπορέσουμε να εξηγήσουμε τη λειτουργία κάθε σταδίου του πλήρους TTL κυκλώματος. Τα χαρακτηριστικά των τυπικών πυλών TTL θα μελετηθούν στην Ενότητα 14.4. Η κλασική μορφή TTL πάντως έχει αντικατασταθεί πλέον από πιο εξελιγμένες μορφές TTL που παρουσιάζουν καλύτερες επιδόσεις. Αυτές θα συζητηθούν στην Ενότητα 14.5.

Η Εξέλιξη της TTL από τη DTL

Το βασικό κύκλωμα πύλης DTL σε διακριτή μορφή συζητήθηκε στην προηγούμενη ενότητα (βλ. Σχήμα 14.10). Το ολοκληρωμένο κύκλωμα DTL εικονίζεται στο Σχήμα 14.11 με μόνο μια όμως είσοδο. Για την καλύτερη εισαγωγή στη λογική TTL σχεδιάσαμε τη δίοδο εισόδου ως τρανζίστορ συνδεδεμένο σε συνδεσμολογία διόδου (Q_1), το οποίο αντιστοιχεί στον τρόπο κατασκευής διόδων σε ολοκληρωμένη μορφή.

Το κύκλωμα αυτό διαφέρει από το διακριτό κύκλωμα DTL του Σχήματος 14.10 σε δύο σημαντικά σημεία. Πρώτον, η μια από τις δύο καθοδηγητικές διόδους έχει αντικατασταθεί από την ένωση εκπομπού-βάσης ενός τρανζίστορ (Q_2) που είναι είτε αποκομμένο (όταν η είσοδος είναι χαμηλά) είτε



Σχ. 14.11 Μορφή IC πύλης DTL όπου η δίοδος εισόδου σχηματίζεται από ένα τρανζίστορ σε συνδεσμολογία διόδου (Q_1). Εικονίζεται μόνο ο ένας ακροδέκτης εισόδου.

στην ενεργό περιοχή (όταν η είσοδος είναι ψηλά). Αυτό γίνεται για να αυξηθεί η ικανότητα fan-out της πύλης. Μια λεπτομερής εξήγηση του γεγονότος αυτού δεν είναι σχετική με τη δική μας μελέτη της λογικής TTL. Δεύτερον, η αντίσταση R_B πηγαίνει στη γη αντί σε μια αρνητική τροφοδοσία, όπως έγινε στο πρωτογενές διακριτό κύκλωμα. Ένα προφανές πλεονέκτημα αυτού του γεγονότος είναι η εξάλειψη της επιπλέον τροφοδοσίας. Το μειονέκτημα όμως είναι ότι το ανάστροφο ρεύμα βάσης που είναι διαθέσιμο για να αφαιρεθεί το πλεονάζον φορτίο, που είναι αποθηκευμένο στη βάση του Q_3 , είναι μάλλον μικρό. Το θέμα αυτό θα εξεταστεί διεξοδικότερα σε επόμενες παραγράφους.

Άσκηση

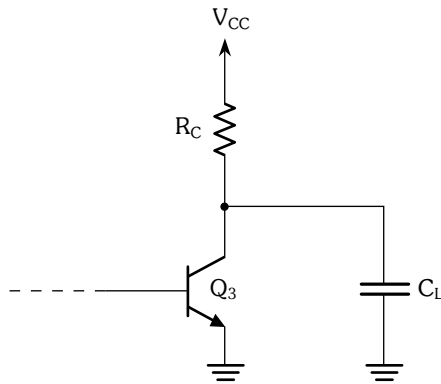
14.8 Θεωρήστε το κύκλωμα πύλης DTL που εικονίζεται στο Σχήμα 14.11 και υποθέστε ότι $\beta(Q_2) = \beta(Q_3) = 50$. (α) Όταν $v_i = 0.2$ V, βρείτε το ρεύμα εισόδου. (β) Όταν $v_i = +5$ V, βρείτε το ρεύμα βάσης του Q_3 .

Απ. (α) 1.1 mA, (β) 1.6 mA

Αιτίες για την Αργή Απόκριση των Κυκλωμάτων DTL

Η πύλη DTL έχει σχετικά καλά περιθώρια θορύβου και ικανοποιητική δυναμότητα fan-out. Η απόκρισή της όμως είναι μάλλον αργή. Δύο λόγοι συντελούν στην αργή απόκριση: πρώτον, όταν η είσοδος κατεβαίνει και τα Q_2 και D αποκόπτονται, το φορτίο που είναι αποθηκευμένο στη βάση του Q_3 πρέπει να διαρρεύσει μέσα από την R_B προς τη γη. Η αρχική τιμή του ανάστροφου ρεύματος βάσης, που πραγματοποιεί την "εκφόρτιση" της βάσης, είναι περίπου 0.7 V/ R_B , περίπου ίση με 0.14 mA. Επειδή το ρεύμα αυτό είναι πολύ μικρό, σε σύγκριση με το ορθό ρεύμα βάσης, ο χρόνος που χρειάζεται για την αφαίρεση του φορτίου βάσης είναι σχετικά πολύς και συνεισφέρει στην επιμήκυνση του χρόνου καθυστέρησης της πύλης.

Ο δεύτερος λόγος για τη σχετικά αργή απόκριση των πυλών DTL οφείλεται στη φύση του κυκλώματος εξόδου της πύλης, που δεν είναι άλλο από ένα τρανζίστορ κοινού εκπομπού. Το Σχήμα 14.12 δείχνει το τρανζίστορ εξόδου μιας πύλης DTL που οδηγεί ένα φορτίο C_L . Η χωρητικότητα C_L αντιπροσωπεύει τη χωρητικότητα εισόδου μίας άλλης πύλης ή/και τις χωρητικότητες διασυνδέσεων και τις παρασιτικές χωρητικότητες, που είναι αναπόφευκτες σε κάθε κύκλωμα. Όταν το Q_3 άγει, η τάση στο συλλέκτη του δεν μπορεί να πέσει αμέσως εξαιτίας της χωρητικότητας C_L . Έτσι, το Q_3 δε θα φτάσει αμέσως στον κόρο, αλλά θα λειτουργήσει στην ενεργό περιοχή. Τότε ο συλλέκτης του Q_3 θα συμπεριφέρεται όπως μια σταθερή πηγή ρεύματος και θα παρέχει ένα σχετικά μεγάλο ρεύμα (βI_B). Το μεγάλο ρεύμα αυτό θα εκφορτίσει την C_L πολύ γρήγορα. Βλέπουμε λοιπόν ότι το στάδιο κοινού εκπομπού στην έξοδο χαρακτηρίζεται από μικρό χρόνο αγωγής. Όμως, η αποκοπή (turn-off) είναι εντελώς άλλο θέμα.



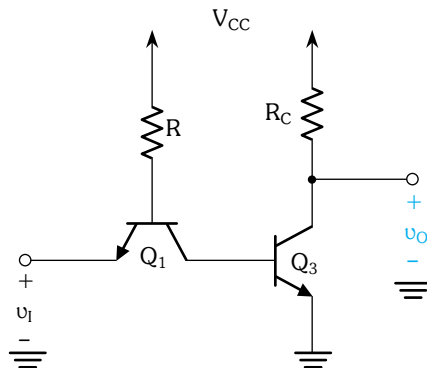
Σχ. 14.12 Το κύκλωμα εξόδου μιας πύλης DTL που οδηγεί ένα φορτίο C_L .

Θα θεωρήσουμε στη συνέχεια τη λειτουργία του στάδιου κοινού εκπομπού όταν το Q_3 δεν άγει. Η τάση εξόδου δε θα αυξηθεί αμέσως στο υψηλό επίπεδο (V_{CC}). Αντίθετα, η C_L θα φορτιστεί μέχρι την V_{CC} μέσα από την R_C . Αυτή είναι μια αργή διαδικασία που έχει ως αποτέλεσμα την επιμήκυνση του χρόνου καθυστέρησης της πύλης DTL (και κατ'επέκτασιν της πύλης RTL).

Εχοντας εντοπίσει τους δύο λόγους για την αργή απόκριση των πυλών DTL, θα δούμε στη συνέχεια πώς διορθώνονται τα προβλήματα αυτά στην τεχνολογία TTL.

Κύκλωμα Εισόδου της Πύλης TTL

Το Σχήμα 14.13 εικονίζει μια ιδεατή πύλη TTL δείχνοντας ένα μόνο ακροδέκτη εισόδου. Το σημαντικότερο στοιχείο που πρέπει να σημειώσουμε είναι ότι η δίοδος της εισόδου έχει αντικατασταθεί από ένα τρανζίστορ.



Σχ. 14.13 Ιδεατό κύκλωμα πύλης TTL. Εικονίζεται μόνο ο ένας ακροδέκτης εισόδου.

Μπορεί κανείς να το σκεφτεί σαν να αφαιρέσαμε το βραχυκύκλωμα μεταξύ βάσης και συλλέκτη του Q_1 στο Σχήμα 14.11.

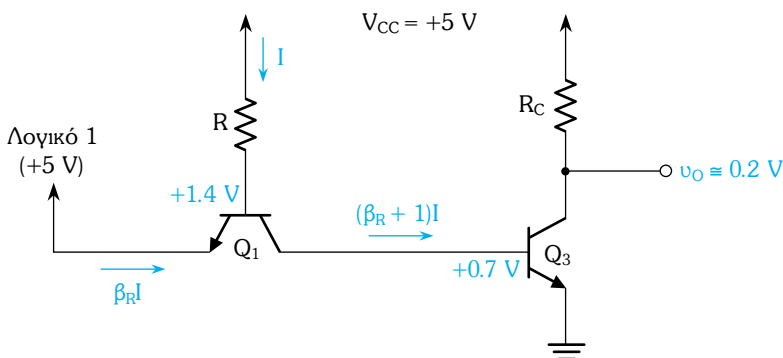
Για να δούμε πώς λειτουργεί το ιδεατό κύκλωμα TTL του Σχήματος 14.13, ας υποθέσουμε ότι η είσοδος v_i είναι ψηλά (high) (ας πούμε $v_i = V_{CC}$). Στην περίπτωση αυτή θα περάσει ρεύμα από το V_{CC} διαμέσου της R πολώνοντας ορθά την ένωση βάσης-συλλέκτη του Q_1 . Στο μεταξύ η ένωση βάσης-εκπομπού του Q_1 θα είναι ανάστροφα πολωμένη. Συνεπώς, το Q_1 θα λειτουργεί στην **ανάστροφη ενεργό περιοχή** - δηλαδή στην ενεργό περιοχή, αλλά με ανταλλαγή των ρόλων του εκπομπού και του συλλέκτη.

Οι τάσεις και τα ρεύματα θα είναι όπως δείχνει το Σχήμα 14.14, όπου το ρεύμα I μπορεί να υπολογιστεί από τη σχέση

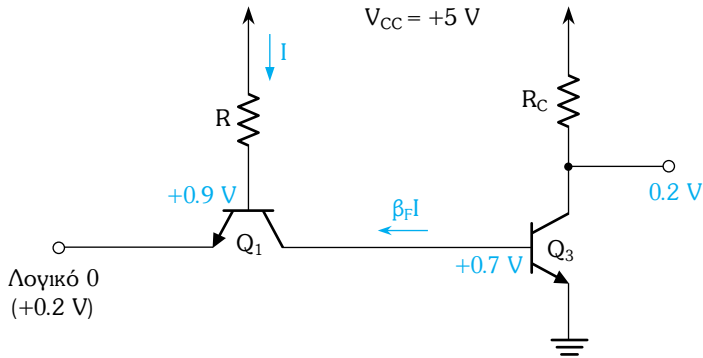
$$I = \frac{V_{CC} - 1.4}{R}$$

Σε πραγματικά κυκλώματα TTL το Q_1 είναι σχεδιασμένο ώστε να έχει πολύ μικρό ανάστροφο β ($\beta_R \approx 0.02$). Έτσι το ρεύμα εισόδου της πύλης θα είναι πολύ μικρό και το ρεύμα βάσης του Q_3 θα είναι περίπου ίσο με το I . Αυτό το ρεύμα είναι ικανό να οδηγήσει το Q_3 στον κόρο. Η τάση εξόδου θα είναι χαμηλή (0.1 με 0.2 V).

Εστω τώρα ότι η τάση εισόδου της πύλης κατεβαίνει στο λογικό επίπεδο 0 (ας πούμε $v_i \approx 0.2$ V). Τότε το ρεύμα I θα εκτραπεί προς τον εκπομό του Q_1 . Η ένωση βάσης-εκπομπού του Q_1 θα πολωθεί ορθά και η τάση βάσης του Q_1 θα κατέβει στα 0.9 V. Επειδή το Q_3 ήταν στον κόρο, η τάση βάσης του θα παραμείνει στα +0.7 V αναμένοντας την εκφόρτιση του πλεονάζοντος φορτίου που είναι αποθηκευμένο στην περιοχή της βάσης. Το Σχήμα 14.15 δείχνει τις διάφορες τιμές τάσεων και ρευμάτων αμέσως μετά το κατέβασμα της εισόδου. Βλέπουμε ότι το Q_1 θα λειτουργεί στην κανονική ε-



Σχ. 14.14 Ανάλυση του ιδεατού κυκλώματος πύλης TTL όταν η είσοδος είναι ψηλά.



Σχ. 14.15 Τιμές τάσεων και ρευμάτων στο ιδεατό κύκλωμα πύλης TTL αμέσως μετά την μείωση της τάσης εισόδου.

νεργό περιοχή³ και ο συλλέκτης του θα έχει μεγάλο ρεύμα ($\beta_F I$). Αυτό το μεγάλο ρεύμα εκφορτίζει πολύ γρήγορα τη βάση του Q_3 και το οδηγεί στην αποκοπή. Βλέπουμε λοιπόν τη δράση του Q_1 στην επιτάχυνση της διαδικασίας αποκοπής.

Καθώς αποκόπεται το Q_3 , η τάση στη βάση του ελαττώνεται και το Q_1 μπαίνει στην περιοχή κορεσμού. Τελικά το ρεύμα συλλέκτη του Q_1 θα γίνει αμελητέο, πράγμα που συνεπάγεται ότι η V_{CEsat} του θα είναι περίπου 0.1 V και η τάση στη βάση του Q_3 θα είναι περίπου 0.3 V, οπότε το Q_3 θα διατηρείται στην αποκοπή.

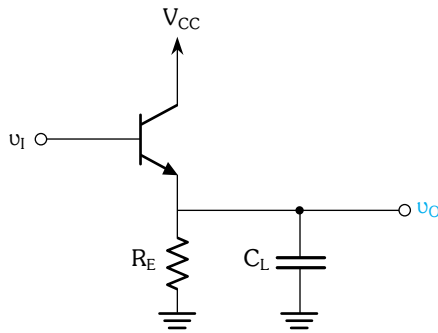
Κύκλωμα Εξόδου της πύλης TTL

Η παραπάνω ανάλυση μας έδειξε πώς ένα από τα δύο προβλήματα που καθιστούν τη λειτουργία των DTL πιο αργή λύνεται στα TTL. Το δεύτερο πρόβλημα, δηλαδή ο μεγάλος χρόνος ανόδου της κυματομορφής εξόδου, λύνεται τροποποιώντας το κύκλωμα εξόδου, όπως θα εξηγήσουμε παρακάτω.

Πρώτα ας θυμηθούμε ότι το στάδιο εξόδου κοινού εκπομπού μας δίνει γρήγορη εκφόρτιση της χωρητικότητας φορτίου, αλλά μάλλον αργή φόρτισή της. Το αντίθετο συμβαίνει στο στάδιο εξόδου ακολούθου εκπομπού που εικονίζεται στο Σχήμα 14.16. Εδώ, καθώς η v_i ανεβαίνει, το τρανζίστορ αρχίζει να άγει και παρέχει χαμηλή αντίσταση εξόδου (χαρακτηριστική στους ακολούθους εκπομπού) η οποία έχει ως αποτέλεσμα τη γρήγορη φόρτιση της C_L . Από την άλλη μεριά, όταν η v_i κατεβαίνει, το τρανζίστορ αποκόπεται και η C_L αφήνεται να εκφορτιστεί αργά μέσα από την R_E .

Προκύπτει λοιπόν ότι το βέλτιστο στάδιο εξόδου θα ήταν ένας συνδυα-

³ Παρόλο που η τάση συλλέκτη του Q_1 είναι χαμηλότερη από την τάση βάσης του κατά 0.2 V, η ένωση συλλέκτη-βάσης θα είναι αποκομμένη και το Q_1 θα λειτουργεί στην ενεργό περιοχή.

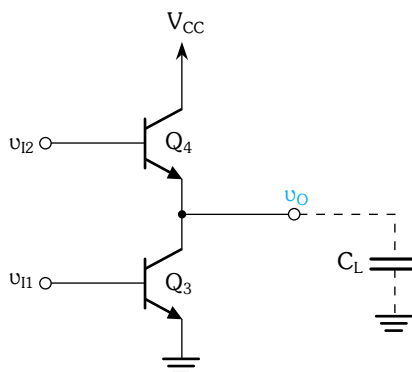


Σχ. 14.16 Στάδιο εξόδου ακολούθου εκπομπού με χωρητικό φορτίο.

σμός των συνδεσμολογιών κοινού εκπομπού και ακολούθου εκπομπού. Ένα τέτοιο στάδιο εξόδου, που εικονίζεται στο Σχήμα 14.17 πρέπει να οδηγείται από δύο συμπληρωματικά σήματα v_{11} και v_{12} . Όταν το v_{11} είναι ψηλά τότε το v_{12} είναι χαμηλά και στην περίπτωση αυτή το Q_3 άγει και είναι στον κόρο, ενώ το Q_4 δεν άγει. Το τρανζίστορ κοινού εκπομπού Q_3 μας δίνει τη γρήγορη εκφόρτιση της χωρητικότητας φορτίου και στη μόνιμη κατάσταση παρέχει χαμηλή αντίσταση (R_{CEsat}) ως προς τη γη. Αρα, όταν η έξοδος είναι χαμηλά, τότε η πύλη μπορεί να τραβήξει σημαντικά μεγάλο ρεύμα μέσα από το κορεσμένο τρανζίστορ Q_3 .

Όταν το v_{11} είναι χαμηλά και το v_{12} είναι ψηλά, τότε το Q_3 δεν άγει και το Q_4 άγει. Ο ακόλουθος εκπομπού Q_4 δίνει γρήγορη φόρτιση της χωρητικότητας φορτίου. Παρέχει επίσης στην πύλη χαμηλή αντίσταση εξόδου στην κατάσταση high και συνεπώς την ικανότητα να "είναι πηγή" ενός σημαντικά μεγάλου ρεύματος φορτίου.

Εξαιτίας της ύπαρξης του τρανζίστορ Q_4 πάνω από το τρανζίστορ Q_3 , το κύκλωμα του Σχήματος 14.17 έχει το όνομα στάδιο εξόδου "τοτέμ". Επί-

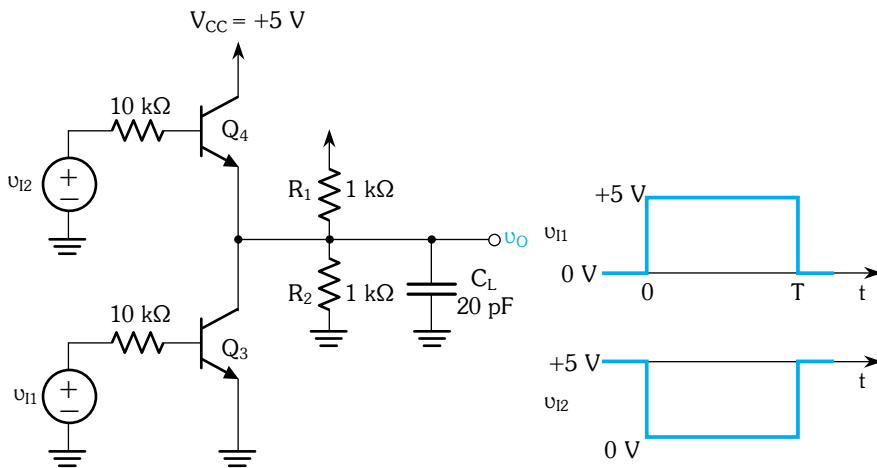


Σχ. 14.17 Στάδιο εξόδου κυκλώματος τοτέμ.

σης, εξαιτίας της ιδιότητας του Q_4 να "τραβάει ψηλά" (pull up) την τάση, το Q_4 αναφέρεται ως pull-up transistor. Επειδή το "τράβηγμα προς τα πάνω" πετυχαίνεται από ένα ενεργό στοιχείο (Q_4) λέμε ότι το κύκλωμα έχει ένα ενεργό pull-up. Αυτό σε αντιδιαστολή με το παθητικό pull-up των πυλών RTL και DTL. Τελικά ας σημειώσουμε ότι ένα ειδικό κύκλωμα οδηγού είναι απαραίτητο για τη δημιουργία των δύο συμπληρωματικών σημάτων v_{I1} και v_{I2} .

ΠΑΡΑΔΕΙΓΜΑ 14.1

Θέλουμε να αναλύσουμε το κύκλωμα που εικονίζεται στο Σχήμα 14.18 μαζί με τις κυματομορφές που το οδηγούν, για να υπολογίσουμε την κυματομορφή εξόδου v_o . Υποθέτουμε ότι τα Q_3 και Q_4 έχουν $\beta = 50$.



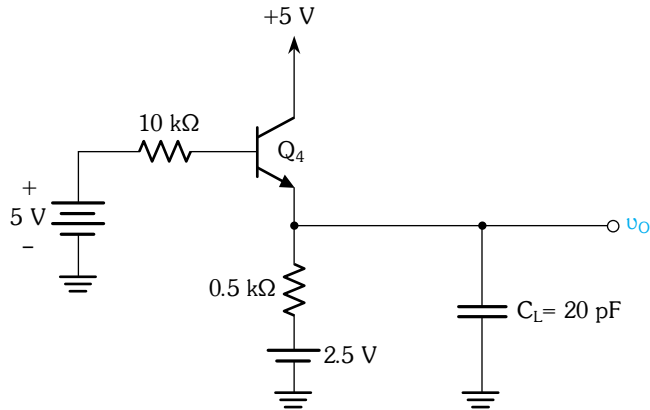
Σχ. 14.18 Κύκλωμα και κυματομορφές εισόδου για το Παράδειγμα 14.1.

Λύση

Ας θεωρήσουμε πρώτα την περίπτωση προτού η v_{I1} ανέβει, δηλαδή το χρονικό διάστημα $t < 0$. Τότε το Q_3 είναι αποκομμένο, το Q_4 άγει και το κύκλωμα μπορεί να απλοποιηθεί σ' αυτό του Σχήματος 14.19. Στο απλοποιημένο αυτό κύκλωμα έχουμε αντικαταστήσει το διαιρέτη τάσης (R_1, R_2) από το ισοδύναμο Thevenin του. Στη μόνιμη κατάσταση η C_L φορτίζεται στην τάση εξόδου v_o , της οποίας η τιμή μπορεί να υπολογιστεί ως εξής:

$$5 = 10 \times I_B + V_{BE} + I_E \times 0.5 + 2.5$$

Αντικαθιστώντας $V_{BE} \approx 0.7 \text{ V}$ και $I_B = I_E / (\beta + 1) = I_E / 51$ παίρνουμε $I_E = 2.59 \text{ mA}$. Συνεπώς η τάση εξόδου v_o δίνεται από τη σχέση



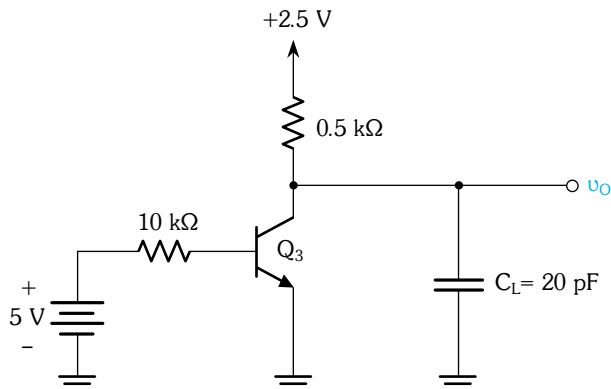
Σχ. 14.19 Το κύκλωμα του Σχήματος 14.18 όταν το Q_3 είναι αποκομμένο.

$$v_O = 2.5 + I_E \times 0.5 = 3.79V$$

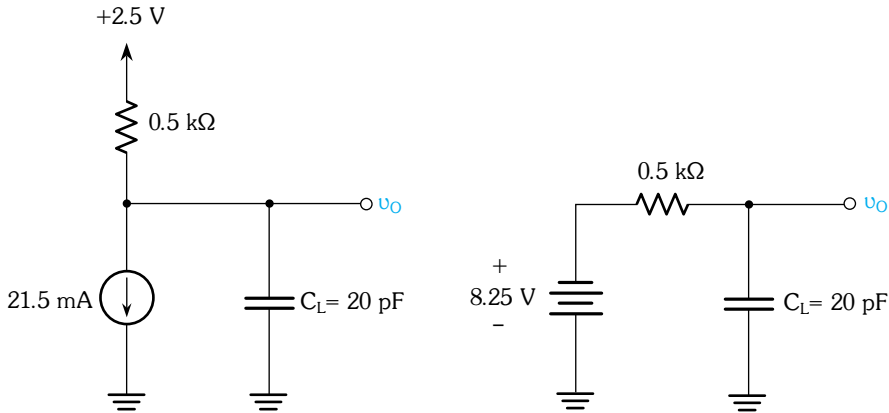
Στη συνέχεια θεωρούμε ότι η v_{I1} ανεβαίνει και η v_{I2} κατεβαίνει. Το τρανζίστορ Q_3 άγει, το τρανζίστορ Q_4 αποκόπτεται και το κύκλωμα απλοποιείται σ' αυτό του Σχήματος 14.20. Πάλι χρησιμοποιούμε το ισοδύναμο Thevenin του διαιρέτη τάσης (R_1 , R_2). Υποθέτουμε επίσης ότι οι χρόνοι αλλαγής κατάστασης των τρανζίστορ είναι αμελητέοι. Έτσι για $t = 0+$ το ρεύμα βάσης του Q_3 γίνεται

$$I_B = \frac{5 - 0.7}{10} = 0.43mA$$

Επειδή τη χρονική στιγμή $t = 0$ η τάση στο συλλέκτη του Q_3 είναι 3.79 V



Σχ.14.20 Το κύκλωμα του Σχήματος 14.18 όταν το Q_4 είναι αποκομμένο.



Σχ. 14.21 (α) Ισοδύναμο κύκλωμα για το κύκλωμα του Σχήματος 14.20 όταν το Q_3 είναι στην ενεργό περιοχή. **(β)** Απλοποίηση του κυκλώματος του (α) με χρήση του Θεωρήματος Thevenin.

και επειδή αυτή η τιμή δεν μπορεί να αλλάξει στιγμιαία εξαιτίας της C_L , βλέπουμε ότι όταν $t = 0+$ το τρανζίστορ Q_3 είναι στην ενεργό περιοχή. Το ρεύμα συλλέκτη του Q_3 είναι βI_B , ίσο με 21.5 mA και το κύκλωμα έχει το ισοδύναμο που εικονίζεται στο Σχήμα 14.21(α). Μια απλούστερη έκδοση αυτού του ισοδύναμου κυκλώματος που πήραμε χρησιμοποιώντας το θεώρημα του Thevenin εικονίζεται στο Σχήμα 14.21(β).

Το ισοδύναμο κύκλωμα του Σχήματος 14.21 ισχύει όσο το Q_3 παραμένει στην ενεργό περιοχή λειτουργίας. Η συνθήκη αυτή παραμένει όσο η C_L εκφορτίζεται και έως ότου η v_o φτάσει περίπου τα +0.3 V, οπότε το Q_3 μπαίνει στον κόρο. Αυτό εικονίζεται με την κυματομορφή του Σχήματος 14.22. Ο χρόνος που χρειάζεται για να πέσει η τάση εξόδου από +3.79 V σε +0.3 V, που μπορεί να θεωρηθεί ως **χρόνος πτώσης** t_f , υπολογίζεται από τη σχέση

$$-8.25 - (-8.25 - 3.79)e^{-t_f/\tau} = 0.3$$

που έχει ως αποτέλεσμα

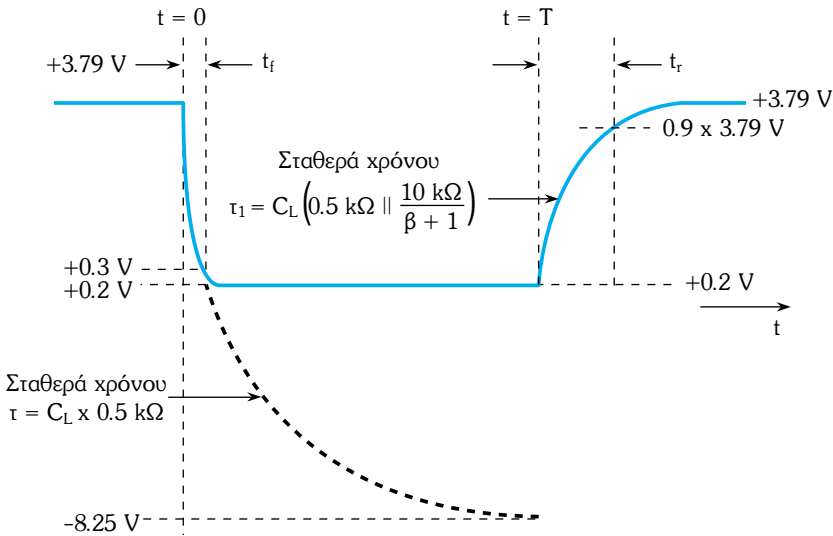
$$t_f \approx 0.34\tau$$

όπου

$$\tau = C_L \times 0.5\text{k}\Omega = 10\text{ns}$$

Συνεπώς $t_f = 3.4$ ns.

Αφού το Q_3 μπει στον κόρο, ο πυκνωτής εκφορτίζεται περισσότερο μέχρι την τιμή της μόνιμης κατάστασης $V_{CE\text{sat}}$ (≈ 0.2 V). Το μοντέλο τρανζίστορ που ισχύει σ' αυτό το χρονικό διάστημα είναι πιο πολύπλοκο. Επειδή



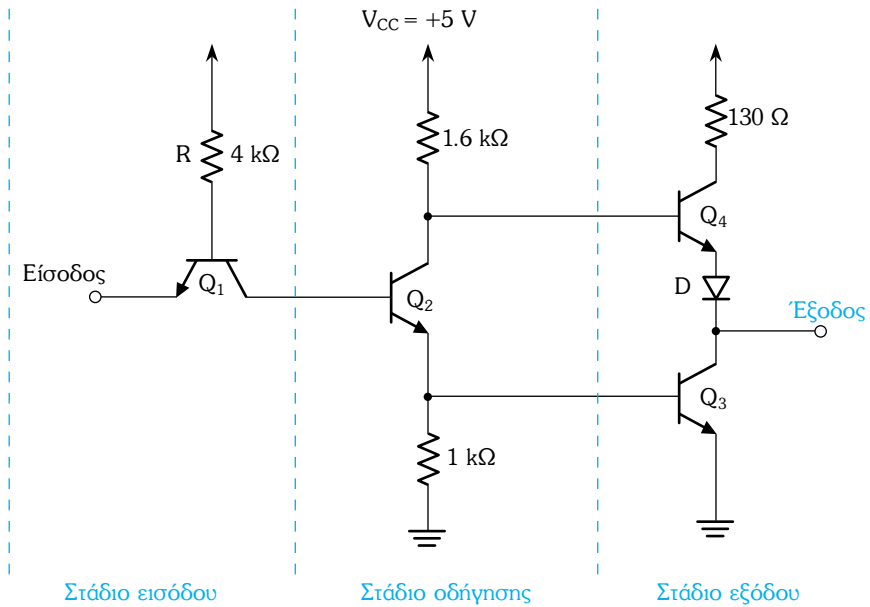
Σχ. 14.22 Λεπτομέρειες από την κυματομορφή εξόδου για το κύκλωμα του Σχήματος 14.18.

το χρονικό διάστημα είναι πολύ μικρό, δε θα επεκταθούμε περισσότερο σ' αυτό το θέμα.

Ας θεωρήσουμε έπειτα την περίπτωση όπου η v_{i1} κατεβαίνει και η v_{i2} ανεβαίνει, όταν $t = T$. Το τρανζίστορ Q_3 αποκόπτεται καθώς το Q_4 άγει. Θα θεωρήσουμε ότι αυτό συμβαίνει αμέσως, οπότε για $t = T+$ το κύκλωμα απλοποιείται σ' αυτό του Σχήματος 14.19. Έχουμε ήδη αναλύσει αυτό το κύκλωμα στη μόνιμη κατάσταση, οπότε γνωρίζουμε ότι τελικά η v_o θα φτάσει τα $+3.79\text{ V}$. Άρα η v_o ανεβαίνει εκθετικά από τα $+0.2\text{ V}$ στα $+3.79\text{ V}$ με σταθερά χρόνου $C_L \{ 0.5\text{ k}\Omega / [10\text{ k}\Omega / (\beta + 1)] \}$, όπου αμελήσαμε την αντίσταση εκπομπού r_e . Συμβολίζοντας τη σταθερά χρόνου αυτή ως τ_1 παίρνουμε $\tau_1 = 2.8\text{ ns}$. Ορίζοντας το χρόνο ανόδου t_r ως το χρόνο που χρειάζεται για να φτάσει η v_o το 90% της τελικής τιμής της, παίρνουμε $3.79 - (3.79 - 0.2)e^{-t_r/\tau_1} = 0.9 \times 3.79$, που τελικά δίνει $t_r = 6.4\text{ ns}$. Το Σχήμα 14.22 εικονίζει τις λεπτομέρειες της κυματομορφής της τάσης εξόδου.

Το Πλήρες Κύκλωμα Πύλης TTL

Το Σχήμα 14.23 εικονίζει το πλήρες κύκλωμα πύλης TTL. Αποτελείται από τρία στάδια: το τρανζίστορ εισόδου Q_1 , που η λειτουργία του έχει ήδη εξηγηθεί, το στάδιο οδηγού Q_2 , που ρόλο έχει να παράγει τα δύο συμπληρωματικά σήματα τάσης τα οποία απαιτούνται για να οδηγήσουν το κύκλωμα τοτέμ, που είναι το τρίτο στάδιο (εξόδου) της πύλης. Το κύκλωμα τοτέμ στην πύλη TTL έχει δύο πρόσθετα συστατικά στοιχεία: την αντίσταση 130-



Σχ. 14.23 Το πλήρες κύκλωμα πύλης TTL, όπου εικονίζεται μόνο ο ένας ακροδέκτης εισόδου.

Ω στο κύκλωμα συλλέκτη του Q_4 και τη δίοδο D στο κύκλωμα εκπομπού του Q_4 . Την λειτουργία αυτών των δύο πρόσθετων στοιχείων θα εξηγήσουμε σύντομα. Παρατηρήστε ότι η πύλη TTL εικονίζεται με ένα μόνο ακροδέκτη εισόδου. Η εξέταση με περισσότερους ακροδέκτες εισόδου θα γίνει στην Ενότητα 14.4.

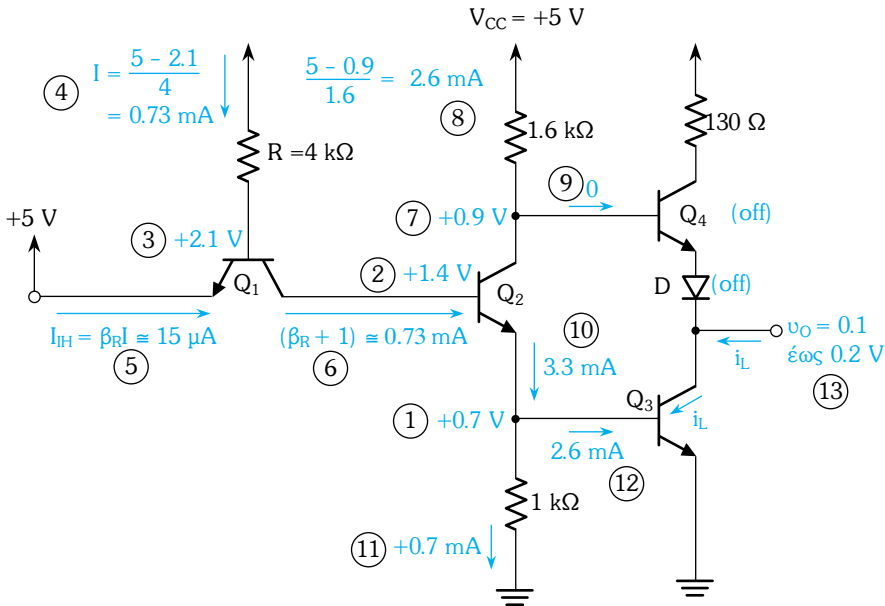
Επειδή το οδηγητικό στάδιο Q_2 παράγει δύο συμπληρωματικά σήματα (εκτός φάσης μεταξύ τους) είναι γνωστό και ως **διαχωριστής φάσης** (phase splitter).

Θα δώσουμε τώρα μια λεπτομερή ανάλυση του κυκλώματος πύλης TTL στις δύο ακραίες καταστάσεις του: μια με είσοδο ψηλά (high) και μία με είσοδο χαμηλά (low).

Ανάλυση με Είσοδο Ψηλά (high)

Όταν η είσοδος είναι ψηλά (έστω $+5\text{ V}$) οι διάφορες τάσεις και τα ρεύματα στο κύκλωμα TTL έχουν τις τιμές που εικονίζονται στο Σχήμα 14.24. Η αντίστοιχη ανάλυση που πραγματοποιείται πάνω στο σχήμα είναι αρκετά απλή και η σειρά των βημάτων δείχνεται από τους αριθμούς μέσα στους κύκλους. Όπως θα περιμέναμε, το τρανζίστορ εισόδου λειτουργεί στην αναστροφή ενεργό περιοχή και το ρεύμα εισόδου, που ονομάζεται ρεύμα εισόδου high I_{IH} , είναι μικρό, δηλαδή

$$I_{IH} = \beta_R I = 15\mu\text{A}$$

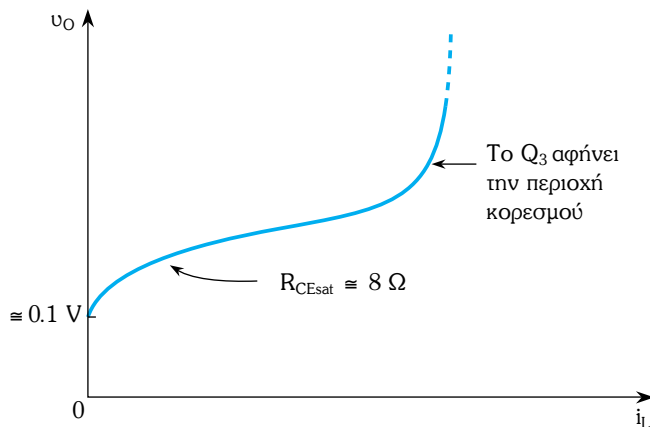


Σχ. 14.24 Ανάλυση της πύλης TTL για είσοδο ψηλά. Οι αριθμοί μέσα στους κύκλους δείχνουν τη σειρά των βημάτων της ανάλυσης.

όπου υποθέτουμε ότι $\beta_R \approx 0.02$.

Το ρεύμα συλλέκτη του Q_1 περνάει στη βάση του Q_2 και η τιμή του είναι ικανή να φέρει στον κόρο το τρανζίστορ του διαχωριστή φάσης Q_2 . Αυτό το τελευταίο παρέχει στη βάση του Q_3 ρεύμα αρκετό για να το φέρει στον κόρο και να κατεβάσει την τάση εξόδου του στο V_{CEsat} (0.1 έως 0.2 V). Η τάση στο συλλέκτη του Q_2 είναι $V_{BE3} + V_{CEsat}(Q_2)$, περίπου ίση με $+0.9\text{ V}$. Αν δεν είχαμε συμπεριλάβει τη δίοδο D , αυτή η τάση θα ήταν ικανή ώστε να άγει το Q_4 , πράγμα που αντίκειται στη λειτουργία του κυκλώματος τότε. Η ενσωμάτωση της διόδου D , εξασφαλίζει ότι και το Q_4 και η D θα παραμείνουν αποκομμένα. Τότε το κορεσμένο τρανζίστορ Q_3 προκαλεί τη χαμηλή τάση εξόδου της πύλης (V_{CEsat}) και παρέχει χαμηλή σύνθετη αντίσταση ως προς τη γη.

Στην κατάσταση χαμηλής εξόδου η πύλη μπορεί να απορροφήσει ένα ρεύμα φορτίου i_L , με την προϋπόθεση ότι η τιμή του i_L δεν ξεπερνάει τα $\beta \times 2.6\text{ mA}$, που είναι το μέγιστο δυνατό ρεύμα συλλέκτη που μπορεί να αντέξει το Q_3 , ενώ παραμένει στον κόρο. Προφανώς όσο μεγαλύτερο είναι το ρεύμα i_L , τόσο μεγαλύτερη θα είναι η τάση εξόδου. Για να κρατήσουμε το επίπεδο του λογικού 0 κάτω από ένα προδιαγραφμένο όριο, πρέπει να βάλουμε ένα αντίστοιχο όριο στο i_L . Οπως θα δούμε σε λίγο, αυτό το όριο καθορίζει το μέγιστο fan-out της πύλης TTL.



Σχ. 14.25 Η χαρακτηριστική $v_o - i_L$ της πύλης TTL όταν η έξοδος είναι χαμηλά.

Το Σχήμα 14.25 εικονίζει ένα διάγραμμα της τάσης εξόδου v_o της πύλης TTL, ως συνάρτηση του ρεύματος i_L , όταν η έξοδος είναι χαμηλά (low). Αυτό είναι απλά η χαρακτηριστική καμπύλη $v_{CE} - i_C$ του Q_3 που μειριέται με ένα ρεύμα βάσης 2.6 mA. Ας σημειώσουμε ότι για $i_L = 0$ η v_o είναι η τάση εκτροπής, που είναι περίπου 100 mV.

Άσκηση

14.9 Υποθέστε ότι το τμήμα της χαρακτηριστικής $v_o - i_L$ που αντιστοιχεί στην περιοχή κόρου στο Σχήμα 14.25, μπορεί να προσεγγιστεί από μια ευθεία γραμμή (με κλίση = 8 Ω), η οποία τέμνει τον άξονα v_o στα 0.1 V. Βρείτε το μέγιστο ρεύμα φορτίου που μπορεί να τραβήξει η πύλη, εάν το λογικό επίπεδο 0 έχει οριστεί να είναι $\leq 0.3 \text{ V}$.

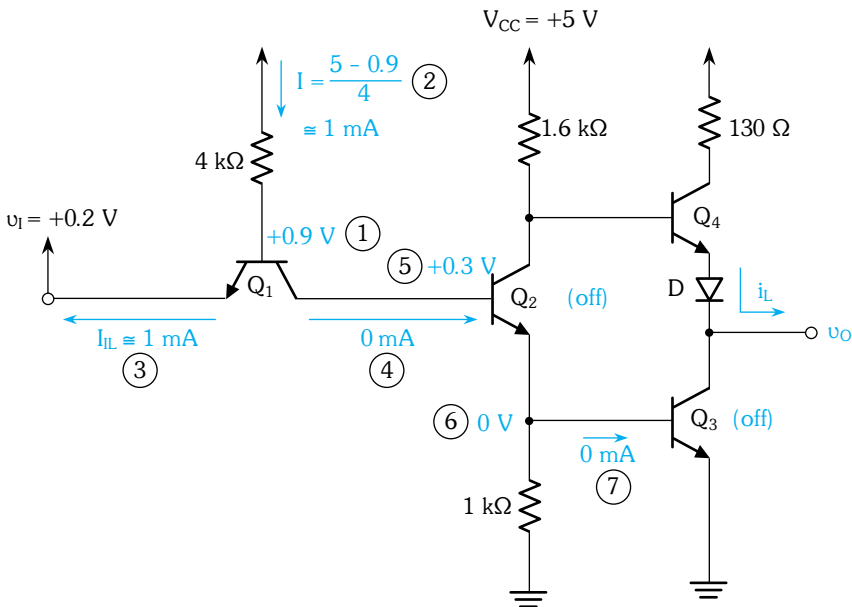
Απ. 25 mA

Ανάλυση με Είσοδο Χαμηλά (low)

Ας θεωρήσουμε στη συνέχεια τη λειτουργία της πύλης TTL, όταν η είσοδος είναι στο λογικό επίπεδο 0 ($\approx 0.2 \text{ V}$). Η ανάλυση εικονίζεται στο Σχήμα 14.26, στο οποίο βλέπουμε ότι η ένωση βάσης-εκπομπού του Q_1 είναι ορθά πολωμένη και η τάση στη βάση είναι περίπου + 0.9 V. Ετσι το ρεύμα I είναι περίπου 1 mA. Επειδή 0.9 V δεν επαρκούν για να πολώσουν ορθά τον σε σειρά συνδυασμό της ένωσης συλλέκτη-βάσης του Q_1 και την ένωση βάσης εκπομπού του Q_2 (χρειάζονται τουλάχιστον 1.2 V), το Q_2 είναι αποκομμένο.

Συνεπώς το ρεύμα συλλέκτη του Q_1 είναι σχεδόν μηδέν και το Q_1 είναι στον κόρο με $V_{CEsat} \approx 0.1 \text{ V}$. Άρα η βάση του Q_2 είναι περίπου στα + 0.3 V, που είναι πράγματι ανεπαρκής τάση για να άγει το Q_2 .

Το ρεύμα πύλης εισόδου στην κατάσταση χαμηλής εισόδου, που ονο-



Σχ.14.26 Ανάλυση της πύλης TTL για είσοδο χαμηλά. Οι αριθμοί μέσα στους κύκλους δείχνουν τη σειρά των βημάτων της ανάλυσης.

μάζεται και ρεύμα χαμηλής εισόδου I_{IL} , είναι περίπου ίσο με το ρεύμα I ($\approx 1 \text{ mA}$) και βγαίνει μέσα από τον εκπομπό του Q_1 . Εάν η πύλη TTL οδηγείται από άλλη πύλη TTL, το τρανζίστορ εξόδου της οδηγούσας πύλης Q_3 , πρέπει να είναι σε θέση να απορροφά αυτό το ρεύμα I_{IL} . Επειδή το ρεύμα που μπορεί να απορροφήσει μια πύλη TTL είναι περιορισμένο, το μέγιστο fan-out της πύλης εξαρτάται απευθείας από το ρεύμα I_{IL} .

Ασκήσεις

14.10 Θεωρήστε την πύλη TTL που αναλύσαμε στην Ασκήση 14.9. Βρείτε το μέγιστο επιτρεπόμενο fan-out χρησιμοποιώντας την τιμή του I_{IL} που υπολογίσαμε παραπάνω.

Απ. 25

14.11 Χρησιμοποιήστε την Εξ. (14.16) για να βρείτε τη V_{CEsat} του τρανζίστορ Q_1 , όταν η είσοδος στην πύλη είναι χαμηλά (0.2 V). Υποθέστε ότι $\beta_F = 50$ και $\beta_R = 0.02$.

Απ. 98 mV

Ας συνεχίσουμε την ανάλυση της πύλης TTL. Όταν η είσοδος είναι χαμηλά, βλέπουμε ότι και το Q_2 και το Q_3 είναι αποκομμένα. Το τρανζίστορ Q_4 άγει και παρέχει (λειτουργώντας ως πηγή) το ρεύμα φορτίου i_L . Ανάλο-

για με την τιμή του i_L το Q_4 είναι είτε στην ενεργό περιοχή είτε στον κόρο.

Με τον ακροδέκτη εξόδου της πύλης ανοικτό, το ρεύμα i_L είναι πολύ μικρό (κυρίως ρεύμα διαρροής) και οι δύο ενώσεις διόδου (η ένωση βάσης-εκπομπού του Q_4 και η διάδος D) μόλις που άγουν. Υποθέτοντας ότι κάθε ένωση έχει πτώση τάσης 0.65 V και αμελώντας την πτώση τάσης στην αντίσταση των $1.6\text{ k}\Omega$, βρίσκουμε ότι η τάση εξόδου είναι

$$v_O \approx 5 - 0.65 - 0.65 = 3.7\text{ V}$$

Καθώς αυξάνεται το i_L , τα Q_4 και D άγουν περισσότερο, αλλά για μια περιοχική τιμών του i_L το Q_4 παραμένει στην ενεργό περιοχή και η v_O δίνεται από

$$v_O = V_{CC} - \frac{i_L}{\beta + 1} \times 1.6\text{ k}\Omega - V_{BE4} - V_D \quad (14.21)$$

Αν συνεχίσουμε να αυξάνουμε το i_L , φτάνουμε μια τιμή στην οποία το Q_4 έρχεται στον κόρο. Τότε η τάση εξόδου εξαρτάται από την αντίσταση των $130\text{-}\Omega$ σύμφωνα με την προσεγγιστική σχέση

$$v_O = V_{CC} - i_L \times 130 - V_{CEsat}(Q_4) - V_D \quad (14.22)$$

Ο Ρόλος της Αντίστασης $130\text{-}\Omega$

Στο σημείο αυτό ο λόγος για τον οποίο συμπεριλάβαμε την αντίσταση των $130\text{-}\Omega$ πρέπει να είναι προφανής: απλούστατα για να περιορίσουμε το ρεύμα που περνάει μέσα από το Q_4 , κυρίως στην περίπτωση που ο ακροδέκτης εξόδου κατά λάθος βραχυκυκλωθεί στη γη. Η αντίσταση αυτή επίσης περιορίζει το ρεύμα τροφοδοσίας σε μια άλλη περίπτωση, συγκεκριμένα όταν το Q_4 αρχίζει να άγει, ενώ το Q_3 είναι ακόμη στον κόρο. Για να δούμε πώς συμβαίνει κάτι τέτοιο, ας θεωρήσουμε την περίπτωση που η η τάση εισόδου στην πύλη ήταν ψηλά και ξαφνικά κατεβαίνει στο χαμηλό επίπεδο. Το τρανζίστορ Q_2 θα αποκοπεί σχετικά γρήγορα, επειδή υπάρχει διαθέσιμο ένα μεγάλο ανάστροφο ρεύμα που παρέχεται από το συλλέκτη του Q_1 στον ακροδέκτη της βάσης του. Από την άλλη μεριά η βάση του Q_3 θα πρέπει να εκφορτιστεί διαμέσου της αντίστασης $1\text{-k}\Omega$, οπότε θα περάσει κάποιος χρόνος για να αποκοπεί το Q_3 . Στο μεταξύ το Q_4 θα αρχίσει να άγει και ένας μεγάλος παλμός ρεύματος θα περάσει μέσα από το συνδυασμό σε σειρά των Q_4 και Q_3 . Ένα τμήμα αυτού του ρεύματος θα χρησιμοποιηθεί για να φορτίσει τη χωρητικότητα φορτίου στο λογικό επίπεδο 1. Το μέγεθος του παλμού του ρεύματος αυτού θα περιοριστεί από την αντίσταση των $130\text{-}\Omega$ στην τιμή των 30 περίπου mA.

Η εμφάνιση αυτών των παλμών ρεύματος μικρής χρονικής διάρκειας (που ονομάζονται και σπινθήρες) θέτει ένα σημαντικό θέμα. Οι σπινθήρες

πρέπει να πηγάζουν από την τροφοδοσία V_{CC} οπότε εξαιτίας της περιορισμένης αντίστασης πηγής της θα έχουν ως αποτέλεσμα σπινθήρες τάσης (ή "glitches") επιπρόσθετους στο V_{CC} . Οι σπινθήρες τάσης αυτοί θα μπορούσαν να συζευχθούν με άλλες πύλες ή flip-flop του ψηφιακού κυκλώματος και να προκαλέσουν εσφαλμένη αλλαγή κατάστασης σε άλλο τμήμα του συστήματος. Το φαινόμενο αυτό, που το ονομάζουμε **crosstalk** αποτελεί μεγάλο πρόβλημα για τα συστήματα TTL. Για να περιορίσουμε το μέγεθος των σπινθήρων τάσης, πρέπει να συνδέουμε συχνά πολλούς πυκνωτές ως προς τη γη, (τους λεγόμενους πυκνωτές παράκαμψης) σε διάφορα σημεία της γραμμής τροφοδοσίας. Οι πυκνωτές αυτοί χαμηλώνουν τη σύνθετη αντίσταση της πηγής τάσης τροφοδοσίας και συνεπώς περιορίζουν το μέγεθος των σπινθήρων τάσης. Εναλλακτικά μπορούμε να σκεφτούμε ότι οι πυκνωτές παράκαμψης παρέχουν τους σπινθήρες ρεύματος.

Ασκήσεις

14.12 Υποθέτοντας ότι το Q_4 έχει $\beta = 50$ και στα όρια του κόρου η $V_{CEsat} = 0.3 \text{ V}$, βρείτε το ρεύμα i_L για το οποίο έρχεται στον κόρο το Q_4 .

Απ. 4.16 mA

14.13 Υποθέτοντας ότι για ρεύμα 1 mA η τάση στην ένωση διόδου εκπομπού βάσης του Q_4 και στη δίοδο D πέφτει κατά 0.7 V στην καθεμία, βρείτε το v_o όταν $i_L = 1 \text{ mA}$ και 10 mA. (Λάβετε υπ' όψη το αποτέλεσμα της προηγούμενης άσκησης)

Απ. 3.6 V, 2.7 V

14.14 Βρείτε το μέγιστο ρεύμα που μπορεί να παραχθεί από μια πύλη TTL, όταν το υψηλό επίπεδο της εξόδου (V_{OH}) παραμένει μεγαλύτερο από την ελάχιστη εγγυημένη τιμή των 2.4 V.

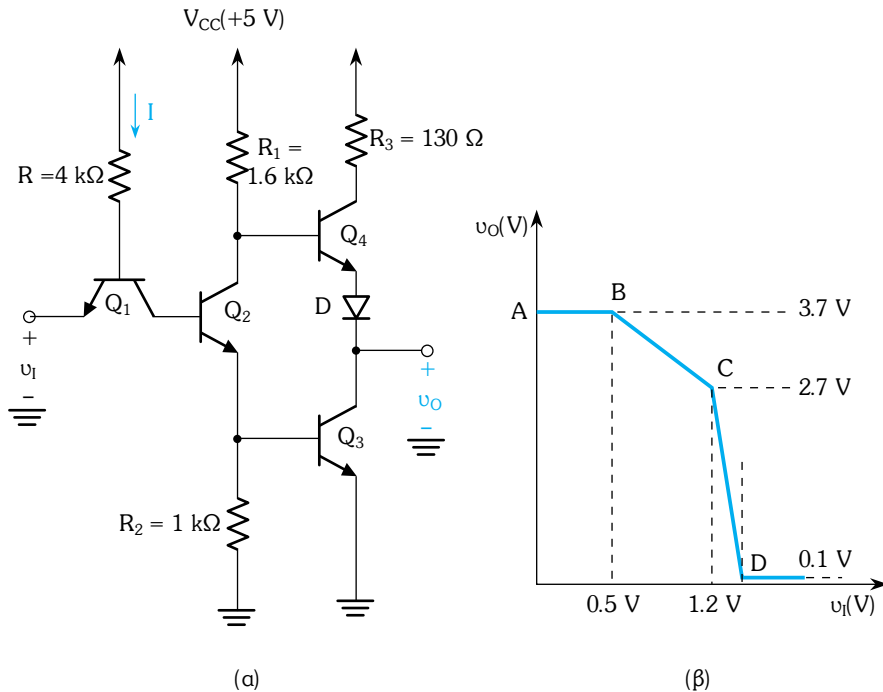
Απ. 12.3 mA

14.4 ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΤΗΣ ΚΛΑΣΣΙΚΗΣ TTL

Εξαιτίας της σημασίας και της δημοτικότητάς της η τεχνολογία TTL θα μελετηθεί εκτενέστερα στην παρούσα και στην επόμενη ενότητα. Στην ενότητα αυτή θα θεωρήσουμε μερικά σημαντικά χαρακτηριστικά των κλασικών πυλών TTL. Ειδικές βελτιωμένες μορφές TTL θα εξετάσουμε στην Ενότητα 14.5

Χαρακτηριστική Μεταφοράς

Το Σχήμα 14.27 εικονίζει την πύλη TTL μαζί με ένα διάγραμμα της χαρακτηριστικής μεταφοράς τάσης της σχεδιασμένο ως μια τμηματικά γραμμική



Σχ. 14.27 Η πύλη TTL και η χαρακτηριστική μεταφοράς της.

συνάρτηση. Η κανονική χαρακτηριστική είναι φυσικά μια λεία καμπύλη. Θα εξηγήσουμε τώρα τη χαρακτηριστική μεταφοράς και θα υπολογίσουμε τα σημεία αλλαγής κλίσης και τις ίδιες τις κλίσεις. Θα υποθέσουμε ότι ο ακροδέκτης εξόδου της πύλης είναι ανοικτός.

Παίρνουμε το τμήμα AB. Όταν το τρανζίστορ Q_1 είναι στον κόρο, τα Q_2 και Q_3 είναι αποκομμένα, το Q_4 και η D άγουν. Η τάση εξόδου είναι περίπου δύο πτώσεις τάσης διόδου κάτω από το V_{CC} . Στο σημείο B ο διαχωριστής φάσης (Q_2) αρχίζει να άγει επειδή η τάση στη βάση του φτάνει 0.6 V ($0.5 \text{ V} + V_{CEsat}$ του Q_1).

Στο τμήμα BC το τρανζίστορ Q_1 παραμένει στον κόρο, όμως μεγάλο ποσοστό από το ρεύμα βάσης του εκτρέπεται προς την ένωση διόδου βάσης-συλλέκτη και μέσα στη βάση του Q_2 , που δρα ως γραμμικός ενισχυτής. Το τρανζίστορ Q_4 και η διόδος D συνεχίζουν να άγουν με το Q_4 να δρα ως ακόλουθος εκπομπού. Στο μεταξύ η τάση στη βάση του Q_3 παρόλο που αυξάνεται παραμένει ανεπαρκής για να κάνει το Q_3 να άγει (μικρότερη από 0.6 V).

Ας βρούμε τώρα την κλίση του τμήματος BC στη χαρακτηριστική μεταφοράς. Εστω ότι η είσοδος v_i αυξάνει κατά Δv_i . Η προσαύξηση αυτή εμφανίζεται στο συλλέκτη του Q_1 , επειδή το κορεσμένο Q_1 συμπεριφέρεται (περίπου) όπως ένα βραχυκύκλωμα τριών ακροδεκτών όσον αφορά τα σήματα.

Ετσι στη βάση του Q_2 έχουμε ένα σήμα Δv_1 . Παραλείποντας το φορτίο του ακολούθου εκπομπού Q_4 στο συλλέκτη του Q_2 , μπορούμε να βρούμε το κέρδος του διαχωριστή φάσης από την

$$\frac{v_{c2}}{v_{b2}} = \frac{-\alpha_2 R_1}{r_{e2} + R_2} \quad (14.23)$$

Η τιμή της r_{e2} προφανώς εξαρτάται από το ρεύμα στο Q_2 . Το ρεύμα αυτό κυμαίνεται από μηδέν (καθώς το Q_2 αρχίζει να άγει) μέχρι την τιμή η οποία έχει αποτέλεσμα μια τάση 0.6 V στον εκπομπού του Q_2 (βάση του Q_3). Η τιμή αυτή είναι περίπου 0.6 mA και αντιστοιχεί στο σημείο C στη χαρακτηριστική μεταφοράς. Υποθέτοντας μια μέση τιμή ρεύματος στο Q_2 0.3 mA, παίρνουμε $r_{e2} \approx 83 \Omega$. Για $\alpha = 0.98$, η Εξίσωση (14.23) δίνει μια τιμή κέρδους 1.45. Επειδή το κέρδος του ακολούθου εξόδου Q_4 είναι κοντά στη μονάδα, το συνολικό κέρδος της πύλης, που είναι η κλίση του τμήματος BC, είναι περίπου -1.45.

Όπως συνάγεται από τα παραπάνω, το σημείο αλλαγής κλίσης C καθορίζεται από το πότε αρχίζει να άγει το Q_3 . Η αντίστοιχη τάση εισόδου μπορεί να βρεθεί από

$$\begin{aligned} v_1(C) &= V_{BE3} + V_{BE2} - V_{CEsat}(Q_1) \\ &= 0.6 + 0.7 - 0.1 = 1.2V \end{aligned}$$

Στο σημείο αυτό το ρεύμα εκπομπού του Q_2 είναι περίπου 0.6 mA. Το ρεύμα συλλέκτη του Q_2 είναι επίσης περίπου 0.6 mA. Παραλείποντας το ρεύμα βάσης του Q_4 η τάση στο συλλέκτη του Q_2 είναι

$$v_{c2}(C) = 5 - 0.6 \times 1.6 \approx 4V$$

Το Q_2 είναι ακόμη στην ενεργό περιοχή. Η αντίστοιχη τάση εξόδου είναι

$$v_o(C) = 4 - 0.65 - 0.65 = 2.7V$$

Καθώς αυξάνουμε τη v_1 πέρα από την τιμή $v_1(C) = 1.2V$, το Q_3 αρχίζει να άγει και να λειτουργεί στην ενεργό περιοχή. Στο μεταξύ, το Q_1 παραμένει στον κόρο και τα Q_2 και Q_4 παραμένουν στην ενεργό περιοχή. Το κύκλωμα συμπεριφέρεται ως ενισχυτής έως ότου τα Q_2 και Q_3 έρθουν στον κόρο και αποκοπεί το Q_4 . Αυτό συμβαίνει στο σημείο D της χαρακτηριστικής μεταφοράς, το οποίο αντιστοιχεί στην τάση εισόδου $v_1(D)$ που παίρνουμε από τη σχέση

$$\begin{aligned} v_1(D) &= V_{BE3} + V_{BE2} + V_{BC1} - V_{BE1} \\ &= 0.7 + 0.7 + 0.7 - 0.7 = 1.4V \end{aligned}$$

Να σημειώσουμε ότι έχουμε υποθέσει ότι στο σημείο D το τρανζίστορ Q_1 είναι ακόμη στον κόρο, αλλά με $V_{CEsat} \approx 0$. Για να κατανοήσουμε το λόγο που $V_{CEsat} \approx 0$, ας σημειώσουμε ότι από το σημείο B και πέρα όλο και περισσότερο από το ρεύμα βάσης του Q_1 εκτρέπεται προς την ένωση βάσης-συλλέκτη του. Είτσι, ενώ η πτώση τάσης πάνω στην ένωση βάσης-συλλέκτη αυξάνεται, η πτώση τάσης πάνω στην ένωση βάσης-εκπομπού ελαττώνεται. Στο σημείο D οι πτώσεις τάσης γίνονται περίπου ίσες. Για $v_1 > v_1(D)$ η ένωση βάσης-εκπομπού του Q_1 αποκόπεται· έτσι το Q_1 αφήνει τον κόρο και μπαίνει στην ανάστροφη ενεργό περιοχή.

Ο υπολογισμός του κέρδους στο γραμμικό τμήμα CD είναι σχετικά πολύπλοκος, καθώς υπάρχουν δύο μονοπάτια από την είσοδο στην έξοδο: ένα μέσα από το Q_3 και ένα μέσα από το Q_4 . Μια απλή, αλλά πολύ χοντρική προσέγγιση του κέρδους πάνω σ' αυτό το γραμμικό τμήμα βγαίνει από τις συντεταγμένες των σημείων C και D στο Σχήμα 14.27(β) ως εξής:

$$\begin{aligned} \text{Κέρδος} &= -\frac{v_O(C) - v_O(D)}{v_1(D) - v_1(C)} \\ &= -\frac{2.7 - 0.1}{1.4 - 1.2} = -13V/V \end{aligned}$$

Από τη χαρακτηριστική μεταφοράς του Σχήματος 14.27(β) μπορούμε να υπολογίσουμε τα κρίσιμα σημεία και τα περιθώρια θορύβου ως εξής: $V_{OH} = 3.7V$. Η V_{IL} είναι περίπου μεταξύ $0.5V$ και $1.2V$ οπότε ένας συντηρητικός υπολογισμός θα ήταν $0.5V$ · η $V_{OL} = 0.1V$ · η $V_{IH} = 1.4V$ · το $NM_H = V_{OH} - V_{IH} = 2.3V$ και $NM_L = V_{IL} - V_{OL} = 0.4V$. Να σημειώσουμε ότι οι τιμές αυτές υπολογίστηκαν υποθέτοντας ότι η πύλη δεν είναι φορτωμένη και χωρίς να λάβουμε υπόψη μας τυχόν διακυμάνσεις στην τροφοδοσία ή στη θερμοκρασία.

Ασκηση

14.15 Λαμβάνοντας υπόψη το γεγονός ότι η τάση πάνω σε μια ορθά πολωμένη ένωση pn αλλάζει κατά $-2\text{ mV}/^\circ\text{C}$, βρείτε τις συντεταγμένες των σημείων A, B, C, D της χαρακτηριστικής μεταφοράς της πύλης στους -55°C και $+125^\circ\text{C}$. Υποθέστε ότι η χαρακτηριστική του σχήματος 14.27(β) ισχύει για 25°C και παραλείψτε το μικρό θερμοκρασιακό συντελεστή της V_{CEsat} .

Απ. Στους -55°C : (0, 3.38), (0.66, 3.38), (1.52, 2.16), (1.72, 0.1)· στους $+125^\circ\text{C}$: (0, 4.1), (0.3, 4.1), (0.8, 3.46), (1.0, 0.1)

Προδιαγραφές του Κατασκευαστή

Οι κατασκευαστές των TTL συνήθως δίνουν καμπύλες για τη χαρακτηριστική μεταφοράς της πύλης, τη χαρακτηριστική εισόδου $i-v$ και τη χαρακτηριστική εξόδου $i-v$, που έχουν μετρηθεί στα όρια συγκεκριμένης περιοχής θερμοκρασιών. Επιπλέον δίνονται συνήθως εγγυημένες τιμές για τις παραμέτρους V_{OL} , V_{OH} , V_{IL} και V_{IH} . Για την κλασική TTL (γνωστή και ως σειρά 74) οι τιμές αυτές είναι ως εξής: $V_{OL} = 0.4 \text{ V}$, $V_{OH} = 2.4 \text{ V}$, $V_{IL} = 0.8 \text{ V}$ και $V_{IH} = 2 \text{ V}$. Αυτές οι οριακές τιμές είναι εγγυημένες για μια συγκεκριμένη ανοχή στην τάση τροφοδοσίας και για μέγιστο fan-out 10. Από τη συζήτησή μας στην Ενότητα 14.3 γνωρίζουμε ότι το μέγιστο fan-out καθορίζεται από το μέγιστο ρεύμα που μπορεί να τραβήξει το Q_3 παραμένοντας στον κόρο και διατηρώντας τάση κόρου μικρότερη από ένα εγγυημένο μέγιστο ($V_{OL} = 0.4 \text{ V}$). Οι υπολογισμοί που κάναμε στην Ενότητα 14.3 δείχνουν τη δυνατότητα μέγιστου fan-out 20 έως 30. Συνεπώς, οι τιμές που δόθηκαν από τον κατασκευαστή είναι αρκετά συντηρητικές.

Οι παράμετροι V_{OL} , V_{OH} , V_{IL} και V_{IH} μπορούν να χρησιμοποιηθούν για να υπολογίσουμε τα περιθώρια θορύβου ως εξής:

$$NM_H = V_{OH} - V_{IH} = 0.4 \text{ V}$$

$$NM_L = V_{IL} - V_{OL} = 0.4 \text{ V}.$$

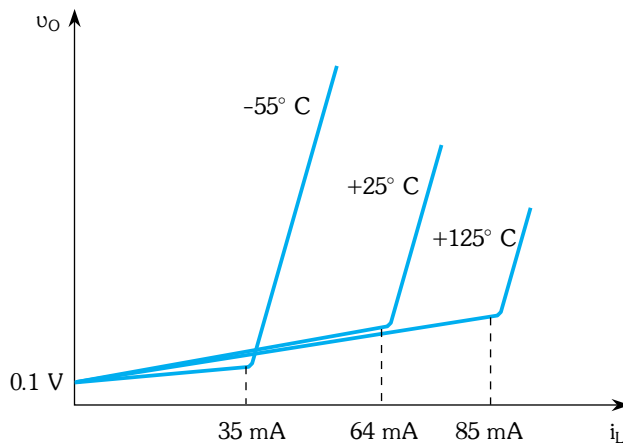
Ασκήσεις

14.16 Στην Ενότητα 14.3 βρήκαμε ότι όταν η είσοδος της πύλης είναι ψηλά, τότε το ρεύμα βάσης του Q_3 είναι περίπου 2.6 mA. Υποθέστε ότι η τιμή αυτή ισχύει για 25°C και ότι στη θερμοκρασία αυτή $V_{BE} \approx 0.7 \text{ V}$. Λαμβάνοντας υπόψη σας το συντελεστή θερμοκρασίας της V_{BE} $-2 \text{ mV}/^\circ\text{C}$ και παραλείποντας όλες τις άλλες αλλαγές, βρείτε το ρεύμα βάσης του Q_3 στους -55°C και στους $+125^\circ\text{C}$.

Απ. 2.2 mA, 3 mA

14.17 Το Σχήμα A14.17 εικονίζει διαγράμματα χαρακτηριστικών i_L-v_o μιας πύλης TTL όταν η έξοδος είναι χαμηλά. Χρησιμοποιήστε τις χαρακτηριστικές αυτές, μαζί με τα αποτελέσματα της Ασκήσης 14.16, για να υπολογίσετε την τιμή του β του τρανζίστορ Q_3 στους -55°C , στους 25°C και στους $+125^\circ\text{C}$.

Απ. 16, 25, 28



Σχ. Α14.17

Καθυστέρηση Μετάδοσης

Η καθυστέρηση μετάδοσης στις πύλες TTL ορίζεται συνήθως ως ο χρόνος που μεσολαβεί μεταξύ των σημείων 1.5 V των αντίστοιχων ακμών της κυματομορφής εισόδου και της κυματομορφής εξόδου. Για την κλασική TTL (γνωστή και ως TTL μέσης ταχύτητας) το t_p είναι τυπικά περίπου 10 ns.

Σε ότι αφορά την κατανάλωση ισχύος μπορούμε να δείξουμε (βλ. Ασκήση 14.18 παρακάτω) ότι όταν η έξοδος της πύλης είναι ψηλά, η πύλη καταναλώνει 5 mW και όταν η έξοδος είναι χαμηλά, η κατανάλωση είναι 16.7 mW. Συνεπώς η μέση κατανάλωση είναι 11 mW με αποτέλεσμα ένα γινόμενο καθυστέρησης-ισχύος περίπου 100 pJ.

Ασκηση

14.18 Υπολογίστε την τιμή του ρεύματος τροφοδοσίας (I_{CC}) και κατ' επέκταση την ισχύ που καταναλώνει η πύλη TTL, όταν ο ακροδέκτης εξόδου είναι ανοικτός και η είσοδος είναι (α) χαμηλά στα 0.2 V (δείτε Σχήμα 14.26) και (β) ψηλά στα +5 V (δείτε Σχήμα 14.24).

Απ. (α) 1 mA, 5 mW (β) 3.33 mA, 16.7 mW

Δυναμική Κατανάλωση Ισχύος

Στήν Ενότητα 14.3 εξηγήσαμε το φαινόμενο των σπινθήρων. Οι σπινθήρες απορροφούν πρόσθετη ισχύ από την τροφοδοσία V_{CC} . Αυτή η **δυναμική ισχύς** καταναλώνεται και στο κύκλωμα της πύλης. Μπορεί να υπολογιστεί πολλαπλασιάζοντας τη μέση τιμή ρεύματος που οφείλεται στους σπινθήρες με το V_{CC} , όπως φαίνεται από τη λύση της Ασκήσης 14.19.

Ασκηση

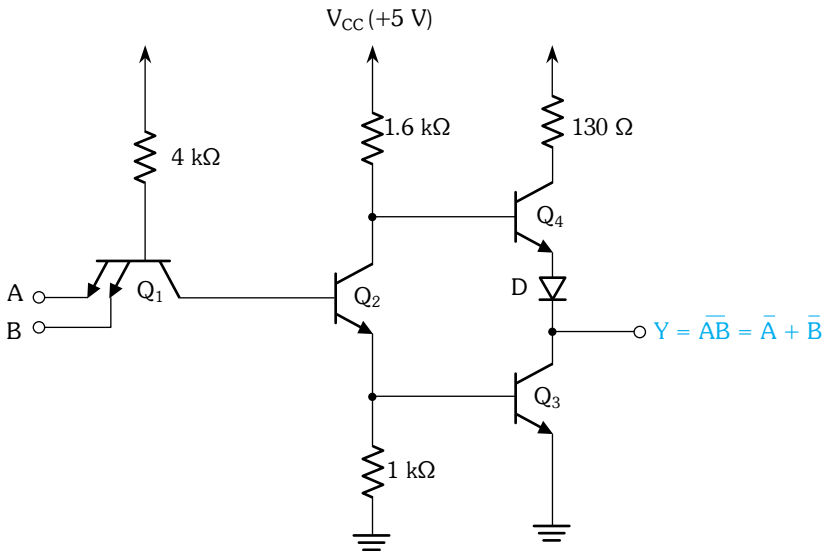
14.19 Θεωρήστε μια πύλη TTL που αλλάζει λογικό επίπεδο με ρυθμό 1 MHz. Υποθέστε ότι, κάθε φορά που η πύλη γίνεται off (δηλαδή η έξοδος

πηγαίνει ψηλά), εμφανίζεται ένας παλμός ρεύματος τροφοδοσίας πλάτους 30 mA και εύρους 2 ns. Υποθέστε επίσης ότι όταν η πύλη είναι 0η, δεν εμφανίζεται σπινθήρας ρεύματος. Υπολογίστε τη μέση τιμή του ρεύματος τροφοδοσίας που οφείλεται στους σπινθήρες και τη δυναμική κατανάλωση ισχύος.

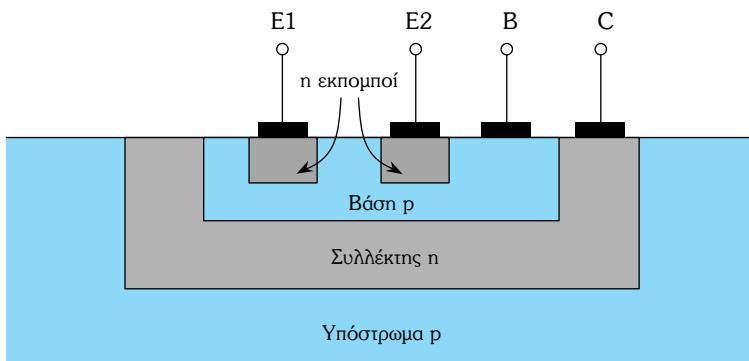
Απ. 60 μ A, 0.3 mW

Η Πύλη NAND TTL

Το Σχήμα 14.28 εικονίζει τη βασική πύλη TTL. Το πιο χαρακτηριστικό κομμάτι της είναι το τρανζίστορ **πολλαπλού εκπομπού** Q_1 που χρησιμοποιείται στην είσοδο. Το Σχήμα 14.29 δείχνει τη δομή του τρανζίστορ πολλαπλού εκπομπού.



Σχ. 14.28 Η πύλη NAND TTL.



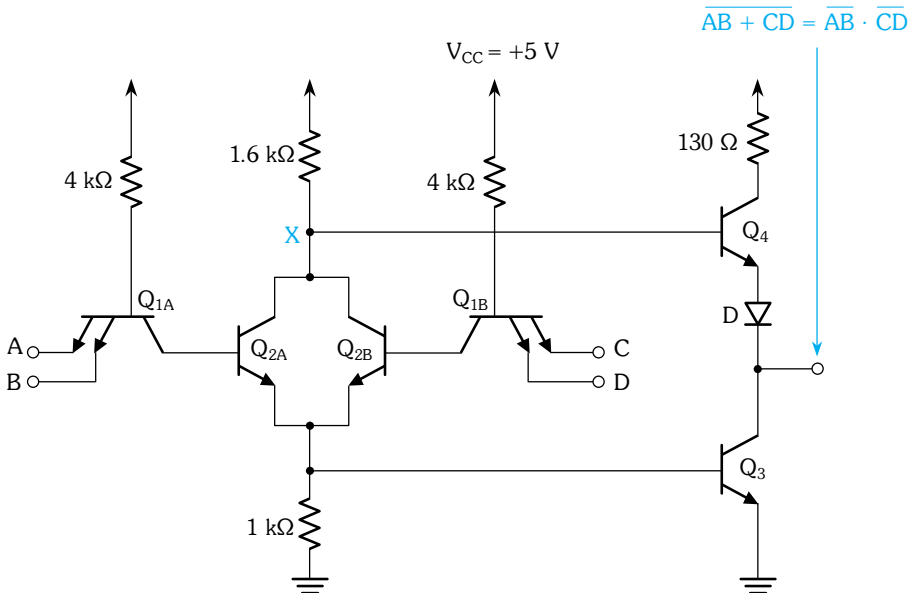
Σχ. 14.29 Δομή του τρανζίστορ πολλαπλού εκπομπού Q_1 .

Μπορούμε εύκολα να επαληθεύσουμε ότι η πύλη του Σχήματος 14.28 υλοποιεί τη συνάρτηση NAND (OXI-KAI). Η έξοδος θα είναι ψηλά όταν μια ή και οι δύο εισοδοι είναι χαμηλά. Η έξοδος θα είναι χαμηλά σε μια μόνο περίπτωση: όταν και οι δύο εισοδοι είναι ψηλά. Η επέκταση σε περισσότερες από μία εισόδους είναι απλή και πραγματοποιείται διαχέοντας περισσότερες περιοχές εκπομπού.

Παρ' όλο που θεωρητικά ένας ακροδέκτης εισόδου που δε χρησιμοποιείται μπορεί να μείνει ανοικτός (ασύνδετος), στην πράξη καλό θα ήταν να αποφεύγεται. Ένας ανοικτοκυκλωμένος ακροδέκτης εισόδου δρά ως "κεραία" που "πιάνει" σήματα παρεμβολών και μπορεί να προκαλέσει εσφαλμένη αλλαγή κατάστασης στην πύλη. Ο ακρησιμοποιήτος ακροδέκτης εισόδου πρέπει να συνδέεται πάντοτε στη θετική τροφοδοσία μέσα από μια αντίσταση (ας πούμε 1 kΩ). Έτσι η αντίστοιχη ένωση διόδου βάσης-εκπομπού του Q_1 θα είναι ανάστροφα πολωμένη και δε θα έχει καμμία επίδραση στη λειτουργία της πύλης. Η αντίσταση σε σειρά συμπεριλαμβάνεται, για να περιορίσει το ρεύμα σε περίπτωση κατάρρευσης της ένωσης διόδου βάσης-εκπομπού εξαιτίας μεταβατικών φαινομένων στην τροφοδοσία.

Άλλα Λογικά Κυκλώματα TTL

Σε ένα τσιπ MSI TTL υπάρχουν πολλές περιπτώσεις όπου λογικές συναρτήσεις υλοποιούνται χρησιμοποιώντας "απογυμνωμένες" εκδόσεις της βασικής πύλης TTL. Για παράδειγμα δείχνουμε στο Σχήμα 14.30 την υλοποίηση σε TTL της συνάρτησης AND-OR-INVERT (KAI-H-ANTISTΡΟΦΗ).



Σχ. 14.30 AND-OR-INVERT πύλη TTL.

Όπως φαίνεται, τα τρανζίστορ διαχωριστών φάσης των δύο πυλών συνδέονται παράλληλα και χρησιμοποιείται ένα μοναδικό στάδιο εξόδου. Ο αναγνώστης παρακινείται να επιβεβαιώσει ότι η λογική συνάρτηση που υλοποιείται είναι εκείνη που αναγράφεται.

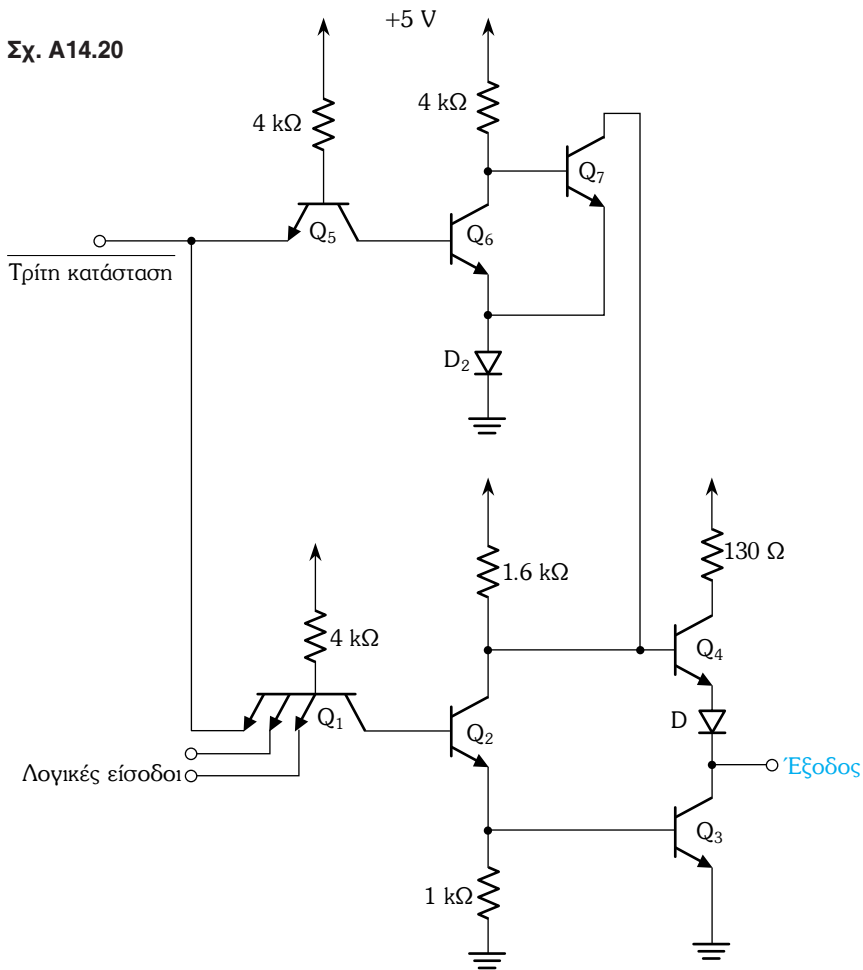
Στο σημείο αυτό πρέπει να σημειώσουμε ότι το στάδιο εξόδου τοτέμ των TTL δεν επιτρέπει τη σύνδεση ακροδεκτών εξόδου δύο πυλών για να υλοποιηθεί η συνάρτηση AND μεταξύ τους (γνωστή ως διασύνδεση καλωδιωμένης-AND). Για να κατανοήσουμε την αιτία, ας θεωρήσουμε δύο πύλες των οποίων οι έξοδοι συνδέονται μεταξύ τους και έστω ότι η μία πύλη έχει υψηλή έξοδο και η άλλη χαμηλή. Το ρεύμα θα περάσει από το Q_4 της πρώτης πύλης, και έπειτα μέσα από το Q_3 της δεύτερης πύλης. Η τιμή του ρεύματος θα είναι ευτυχώς περιορισμένη από την αντίσταση των 130-Ω. Προφανώς καμία χρήσιμη λογική συνάρτηση δεν υλοποιείται μ' αυτή τη σύνδεση.

Η έλλειψη δυνατότητας διασύνδεσης καλωδιωμένης-AND είναι ένα μειονέκτημα των TTL. Ωστόσο το πρόβλημα λύνεται με διάφορους τρόπους, μεταξύ των οποίων ο παραλληλισμός στο στάδιο διαχωρισμού φάσης, όπως εικονίζεται στο Σχήμα 14.30. Άλλη λύση συνίσταται στην ολική αφαίρεση του τρανζίστορ ακολούθου-εκπομπού. Το αποτέλεσμα είναι ένα στάδιο εξόδου που αποτελείται μόνο από το τρανζίστορ κοινού-εκπομπού Q_3 χωρίς αντίσταση συλλέκτη. Προφανώς μπορούμε να συνδέσουμε τις εξόδους τέτοιων πυλών σε μια κοινή αντίσταση συλλέκτη και να πετύχουμε δυνατότητα διασύνδεσης καλωδιωμένης-AND. Οι πύλες TTL τέτοιου τύπου είναι γνωστές και ως **TTL ανοικτού-συλλέκτη**. Το προφανές μειονέκτημά τους είναι ο μεγάλος χρόνος ανόδου της κυματομορφής εξόδου.

Άλλη χρήσιμη παραλλαγή των TTL είναι η τοπολογία τριών καταστάσεων (tristate) εξόδου, που είναι αντικείμενο της Ασκήσης 14.20.

Άσκηση

14.20 Το κύκλωμα που εικονίζεται στο Σχήμα A14.20 ονομάζεται tristate TTL. Επαληθεύστε ότι όταν ο ακροδέκτης που έχει όνομα "Τρίτη Κατάσταση" είναι ψηλά, η πύλη λειτουργεί κανονικά και, όταν ο ακροδέκτης αυτός είναι χαμηλά τα τρανζίστορ Q_3 και Q_4 αποκόπτονται και η έξοδος της πύλης είναι ανοικτοκύκλωμα. Η κατάσταση αυτή είναι η τρίτη κατάσταση, ή κατάσταση υψηλής σύνθετης αντίστασης εξόδου.



Η τεχνολογία tristate TTL επιτρέπει τη σύνδεση πολλών πυλών TTL σε μια κοινή γραμμή εξόδου (ή bus). Σε οποιαδήποτε χρονική στιγμή το σήμα στο bus θα καθορίζεται από τη μια πύλη TTL που είναι enabled (ανεβάζοντας τον ακροδέκτη εισόδου τρίτης κατάστασης). Όλες οι άλλες πύλες θα είναι στην τρίτη κατάσταση και έτσι δε θα έχουν κανένα έλεγχο πάνω στο bus.

14.5 ΟΙΚΟΓΕΝΕΙΕΣ TTL ΜΕ ΒΕΛΤΙΩΜΕΝΕΣ ΕΠΙΔΟΣΕΙΣ

Τα κλασικά κυκλώματα TTL που μελετήσαμε στις δύο προηγούμενες ενότητες εμφανίστηκαν στα μέσα της δεκαετίας 1960. Από τότε έχουν αναπτυχθεί πολλές βελτιωμένες εκδόσεις. Στην ενότητα αυτή θα μελετήσουμε μερικές από αυτές τις βελτιωμένες υπο-οικογένειες. Όπως θα δούμε οι βελ-

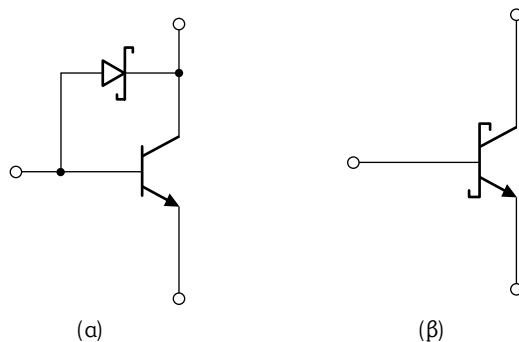
τιώσεις είναι προς δύο κατευθύνσεις: αύξηση της ταχύτητας και ελάττωση της κατανάλωσης ισχύος.

Η ταχύτητα της κλασικής πύλης TTL του Σχήματος 14.28 περιορίζεται από δύο μηχανισμούς: πρώτον, τα τρανζίστορ Q_1 , Q_2 και Q_3 φτάνουν στον κόρο και έτσι πρέπει να ανταγωνιστούν τον περιορισμένο χρόνο αποθήκευσής τους. Παρόλο που το Q_2 εκφορτίζεται σχετικά γρήγορα εξαιτίας της λειτουργίας του Q_1 στην ενεργό περιοχή, όπως ήδη εξηγήσαμε, αυτό δεν συμβαίνει για το Q_3 , του οποίου το αποθηκευμένο φορτίο στη βάση πρέπει να διαρρεύσει μέσα από την αντίσταση $1-k\Omega$ στο κύκλωμα της βάσης του. Δεύτερον, οι αντιστάσεις στο κύκλωμα μαζί με τις διάφορες χωρητικότητες τρανζίστορ και διασυνδέσεων σχηματίζουν σχετικά μεγάλες σταθερές χρόνου, που συνεισφέρουν στην επιμήκυνση του χρόνου καθυστέρησης της πύλης.

Συνεπάγεται ότι υπάρχουν δύο τρόποι για να αυξήσουμε την ταχύτητα των TTL. Ο πρώτος είναι να εμποδίσουμε τον κορεσμό των τρανζίστορ και ο δεύτερος να μειώσουμε τις τιμές όλων των αντιστάσεων. Και οι δύο χρησιμοποιούνται στην οικογένεια κυκλωμάτων Schottky TTL.

Ta Schottky TTL

Στη Λογική Schottky TTL τα τρανζίστορ εμποδίζονται να έρθουν στον κόρο με τη σύνδεση μιας διόδου χαμηλής πτώσης τάσης μεταξύ βάσης και συλλέκτη, όπως φαίνεται στο Σχήμα 14.31. Αυτές οι διόδους, που σχηματίζονται από την ένωση μετάλλου-ημιαγωγού, ονομάζονται διόδους Schottky και έχουν τάση ορθής πόλωσης περίπου 0.5 V. Οι διόδους Schottky⁴ κατασκευάζονται εύκολα και δεν αυξάνουν το εμβαδό του τσίπ.

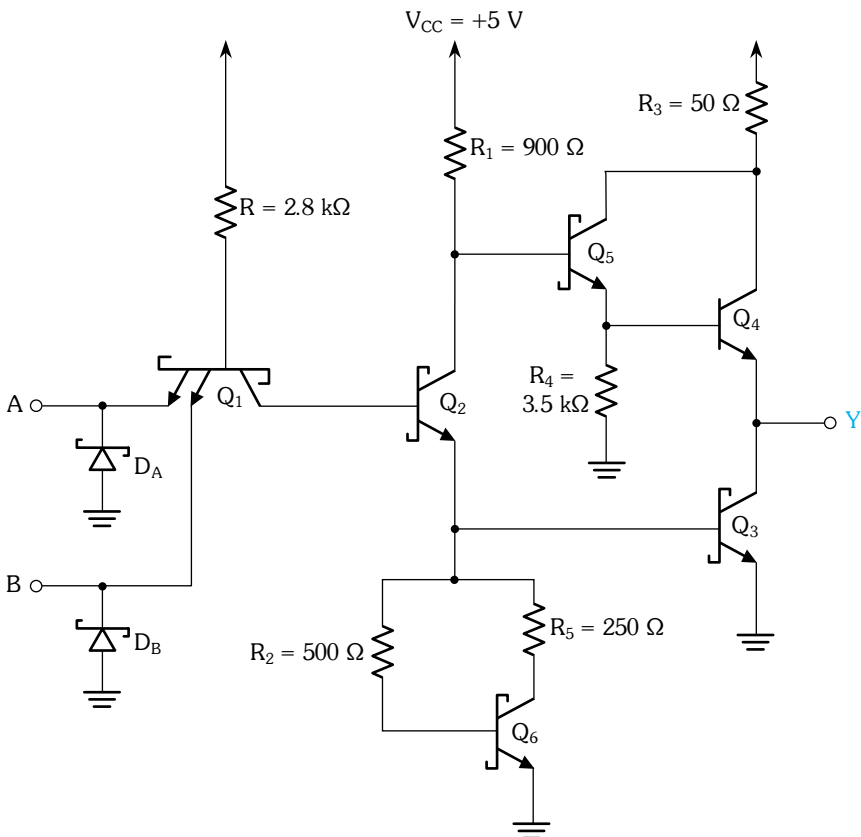


Σχ. 14.31 (α) Τρανζίστορ TTL με πρόσδεση Schottky. **(β)** Κυκλωματικό σύμβολο για τη συνδεσμολογία του (α) που ονομάζεται και τρανζίστορ Schottky.

⁴ Να σημειώσουμε ότι οι διόδους Schottky από πυρίτιο παρουσιάζουν πτώσεις τάσης περίπου 0.5 V, ενώ οι διόδους Schottky από GaAs (Ενότητα 5.11) παρουσιάζουν πτώσεις τάσης περίπου 0.7 V.

Για τη ακρίβεια η διαδικασία κατασκευής Schottky TTL έχει βελτιστοποιηθεί για να αποδίδει τρανζίστορ με μικρότερο εμβαδό και συνεπώς μεγαλύτερο β και f_T από την κλασική διαδικασία κατασκευής TTL. Το Σχήμα 14.31 εικονίζει το σύμβολο που χρησιμοποιείται για την αναπαράσταση του συνδυασμού ενός τρανζίστορ και μιας διόδου Schottky, το οποίο αναφέρεται και ως τρανζίστορ Schottky.

Το τρανζίστορ Schottky δεν μπαίνει στον κόρο επειδή ένα κομμάτι από το ρεύμα βάσης του μετακινείται από τη δίοδο Schottky έξω από τη βάση. Στο σημείο αυτό η δίοδος Schottky άγει και προσδένει την τάση ένωσης βάσης -συλλέκτη περίπου στα 0.5 V. Η τάση αυτή είναι μικρότερη από την τιμή που είναι απαραίτητη για να πολωθεί ορθά η ένωση συλλέκτη-βάσης αυτών των μικρών τρανζίστορ. Στην πραγματικότητα το τρανζίστορ Schottky αρχίζει να άγει όταν η v_{BE} του είναι περίπου 0.8 V. Αφού η δίοδος Schottky έχει προσδέσει το v_{BC} στα 0.5 V περίπου, η τάση συλλέκτη-εκπομπού είναι περίπου 0.3 V και το τρανζίστορ συνεχίζει να λειτουργεί στην ενεργό περιοχή. Αποφεύγοντας τον κόρο το τρανζίστορ Schottky παρουσιάζει πολύ μικρό χρόνο αποκοπής (turnoff time).



Σχ. 14.32 Schottky TTL (STTL) πύλη NAND.

Το Σχήμα 14.32 δείχνει μια Schottky-clamped ή απλούστερα Schottky TTL πύλη NAND. Συγκρίνοντας αυτό το κύκλωμα με εκείνο της κλασικής TTL που εικονίζεται στο Σχήμα 14.28 επισημαίνουμε πολλές αλλαγές. Πρώτον και κύριον, οι διάοδοι προσδέσεως Schottky έχουν προστεθεί σε όλα τα τρανζίστορ εκτός από το Q_4 . Όπως θα δούμε σε λίγο το τρανζίστορ Q_4 δεν μπαίνει ποτέ στον κόρο γι' αυτό και δε χρειάζεται διάοδο Schottky. Δεύτερον, όλες οι αντιστάσεις έχουν μειωθεί στη μισή τιμή αυτών που χρησιμοποιούνται στο κλασικό κύκλωμα. Αυτές οι δύο αλλαγές οδηγούν σε πολύ μικρότερες καθυστερήσεις πύλης. Η μείωση των τιμών αντιστάσεων όμως αυξάνει την κατανάλωση ισχύος της πύλης (κατά έναν παράγοντα περίπου 2).

Η πύλη Schottky TTL περιέχει τρεις ακόμα τεχνικές σχεδίασης που βελτιώνουν τις επιδόσεις της ακόμα περισσότερο. Αυτές είναι οι εξής:

1. Η διάοδος D που χρειάζεται για να εμποδίσει το Q_4 από το νά άγει, όταν η έξοδος της πύλης είναι χαμηλά, έχει αντικατασταθεί από το τρανζίστορ Q_5 , που μαζί με το Q_4 σχηματίζει ένα ζεύγος Darlington. Το στάδιο Darlington προσφέρει αυξημένο κέρδος ρεύματος άρα και αυξημένη δυνατότητα παραγωγής ρεύματος (current-sourcing capability). Το γεγονός αυτό, σε συνδυασμό με τη χαμηλότερη αντίσταση εξόδου της πύλης (στην κατάσταση υψηλής εξόδου) αποδίδει μία ελάττωση του χρόνου που απαιτείται για να φορτίσουμε το χωρητικότητα φορτίου στο υψηλό επίπεδο. Ας σημειώσουμε ότι το τρανζίστορ Q_4 δεν φτάνει ποτέ στον κόρο επειδή

$$V_{CE4} = V_{CE5} + V_{BE4} \\ \approx 0.3 + 0.8 = 1.1V$$

2. Έχουν συμπεριληφθεί οι διάοδοι πρόσδεσης D_A και D_B .⁵ Οι διάοδοι αυτές άγουν μόνο όταν οι τάσεις εισόδου κατέβουν κάτω από το επίπεδο της γης. Αυτό μπορεί να συμβεί εάν έχουμε διακυμάνσεις τάσης των συρμάτων που συνδέουν την είσοδο της πύλης στην έξοδο κάποιας άλλης πύλης. Το φαινόμενο του κλυδωνισμού προέρχεται από τα σύρματα που συμπεριφέρονται όπως οι γραμμές μεταφοράς που δεν έχουν σωστό τερματισμό. Χωρίς τις διάόδους πρόσδεσης ο κλυδωνισμός μπορεί να γίνει αιτία μετάβασης της τάσης εισόδου σε τόσο αρνητική τιμή που να προκαλέσει την ορθή πόλωση της διάόδου υποστρώματος-συλλέκτη του Q_1 (δείτε Σχήμα 14.29). Αυτό με τη σειρά του μπορεί να οδηγήσει σε λανθασμένη λειτουργία της πύλης. Επίσης, ο κλυδωνισμός μπορεί να ανεβάσει την τάση εισόδου σε θετικό επίπεδο ικανό να προκαλέσει εσφαλμένη αλλαγή κατάστασης

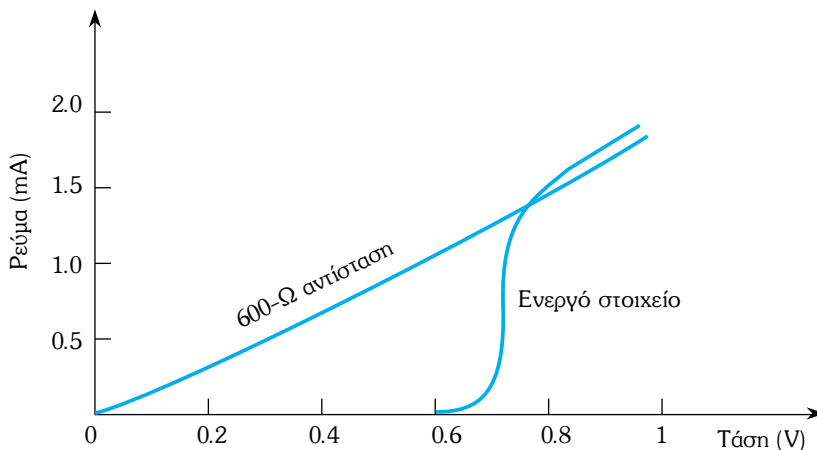
⁵ Μερικά κλασικά κυκλώματα TTL επίσης περιέχουν σταθεροποιητικές διάόδους. Να σημειώσουμε όμως ότι στα Schottky TTL οι σταθεροποιητικές διάοδοι εισόδου είναι τύπου Schottky.

στην πύλη. Οι δίοδοι εισόδου σταθεροποιούν τις αρνητικές παρεκτροπές του σήματος εισόδου (στα -0.5 V). Όταν οι δίοδοι άγουν δημιουργείται μια απώλεια ισχύος στη γραμμή μεταφοράς, με αποτέλεσμα την απόσβεση της κλυδωνισμού και τη μείωση της θετικής παρεκτροπής.

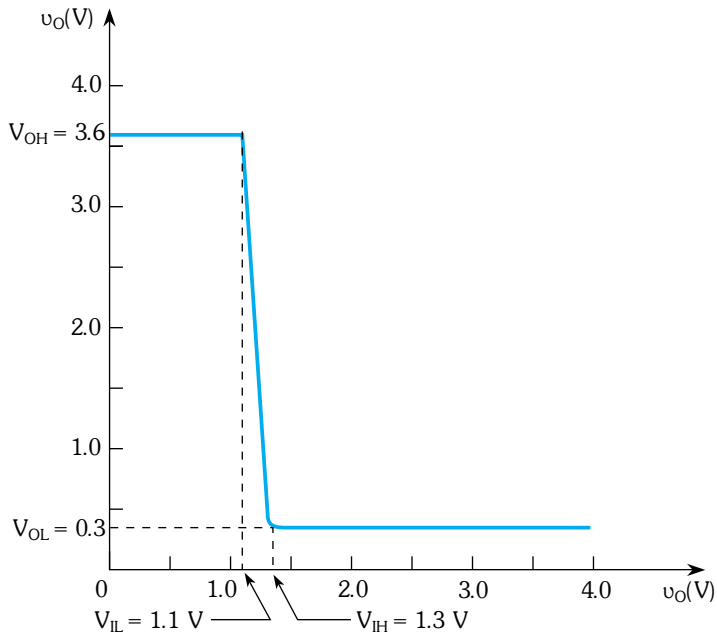
3. Η αντίσταση μεταξύ της βάσης του Q_3 και της γης έχει αντικατασταθεί από μια μη γραμμική αντίσταση υλοποιημένη από το τρανζίστορ Q_6 και δύο αντιστάσεις R_2 και R_5 . Η μη γραμμική αντίσταση είναι γνωστή και ως **ενεργό pull-down**, σε αναλογία με το ενεργό pull-up, που παρέχει το τμήμα ακόλουθου εκπομπού του σταδίου εξόδου τοτέμ. Η αντικατάσταση αυτή είναι εξαιρετικά έξυπνη και θα τη συζητήσουμε λεπτομερώς.

Ενεργό pull-down. Το Σχήμα 14.33 εικονίζει ένα διάγραμμα της χαρακτηριστικής $i - v$ ενός μη γραμμικού κυκλώματος που αποτελείται από το Q_6 και τις δύο αντιστάσεις του R_2 και R_5 . Επίσης για σύγκριση εικονίζεται η γραμμική χαρακτηριστική $i - v$ μιας αντίστασης που θα μπορούσε να είναι συνδεδεμένη μεταξύ της βάσης του Q_3 και της γης εάν δε χρησιμοποιούσαμε ενεργό pull-down.

Το πρώτο χαρακτηριστικό του ενεργού pull-down είναι ότι άγει ένα αμελητέο ρεύμα (και έτσι συμπεριφέρεται ως υψηλή αντίσταση) ώσπου η τάση στα άκρα του να φτάσει μια πτώση V_{BE} . Ετσι το κέρδος του διαχωριστή φάσης (ως γραμμικού ενισχυτή) θα παραμείνει αμελητέο μέχρι να εμφανιστεί μια πτώση V_{BE} ανάμεσα στον εκπομπού του και τη γη, που είναι η αρχή της αγωγής του Q_3 . Με άλλα λόγια τα Q_2 , Q_3 και Q_6 θα αρχίσουν να άγουν ταυτόχρονα. Συνεπώς, το τμήμα BC της χαρακτηριστικής μεταφοράς (βλ. Σχήμα 14.27(β)) δε θα υπάρχει και η χαρακτηριστική μεταφοράς της



Σχ. 14.33 Σύγκριση χαρακτηριστικών ενεργού pull-down και αντίστασης $600\ \Omega$.



Σχ.14.34 Χαρακτηριστική μεταφοράς πύλης Schottky TTL.

πύλης θα είναι πολύ πιο απότομη, όπως φαίνεται στο Σχήμα 14.34. Επειδή το κύκλωμα ενεργού pull-down κάνει τη χαρακτηριστική πιο “τετραγώνη” είναι γνωστό και ως κύκλωμα τετραγωνισμού. Το αποτέλεσμα είναι μια αύξηση των περιθωρίων θορύβου.

Το κύκλωμα ενεργού pull-down επίσης επιταχύνει τη μεταγωγή του Q_3 . Για να κατανοήσουμε το φαινόμενο, παρατηρούμε ότι το ενεργό pull-down τραβάει ένα αμελητέο ρεύμα για ένα μεγάλο τμήμα της χαρακτηριστικής. Άρα το ρεύμα που παρέχει ο διαχωριστής φάσης θα εκτραπεί αρχικά προς τη βάση του Q_3 επιταχύνοντας έτσι την αγωγή του. Από την άλλη μεριά κατά την αποκοπή το ενεργό pull-down τρανζίστορ Q_6 θα λειτουργεί στην ενεργό περιοχή. Το μεγάλο ρεύμα συλλέκτη του θα περνάει μέσα από τη βάση του Q_3 στην αντίθετη κατεύθυνση, εκφορτίζοντας τη χωρητικότητα βάσης-εκπομπού του Q_3 και αποκόποντάς το γρήγορα.

Τέλος ας σημειώσουμε το ρόλο της αντίστασης $250\text{-}\Omega$ του συλλέκτη του Q_6 : χωρίς αυτήν η τάση βάσης-εκπομπού του Q_3 θα ήταν σταθερή στο V_{CE6} , που είναι περίπου 0.3 V .

Ασκήσεις

14.21 Δείξτε ότι οι τιμές των V_{OH} , V_{IL} , V_{IH} και V_{OL} της πύλης Schottky TTL είναι εκείνες που δίνονται στο Σχήμα 14.34. Υποθέστε ότι το ρεύμα εξόδου της πύλης είναι μικρό και ότι το τρανζίστορ Schottky άγει, όταν

$v_{BE} = 0.7 \text{ V}$ και άγει πλήρως, όταν $v_{BE} = 0.8 \text{ V}$.

14.22 Υπολογίστε το ρεύμα εισόδου μιας πύλης Schottky TTL με την τάση εισόδου χαμηλά (0.3 V).

Απ. 1.4 mA

14.23 Για την πύλη Schottky TTL υπολογίστε το ρεύμα που παίρνει από την τροφοδοσία με την τάση εισόδου χαμηλά στα 0.3 V (θυμηθείτε να συμπεριλάβετε το ρεύμα στην αντίσταση 3.5 kΩ) και με την τάση εισόδου ψηλά στα 3.6 V. Κατόπιν υπολογίστε την κατανάλωση ισχύος της πύλης και στις δύο καταστάσεις και στη συνέχεια τη μέση κατανάλωση ισχύος.

Απ. 2.6 mA, 5.4 mA, 13 mW, 27 mW, 20 mW

Χαρακτηριστικά Λειτουργίας. Τα Schottky TTL (γνωστά και ως Σειρά 74S) έχουν τις ακόλουθες προδιαγραφές παραμέτρων λειτουργίας στις χειρότερες συνθήκες:

$$\begin{array}{ll} V_{OH} = 2.7 \text{ V} & V_{OL} = 0.5 \text{ V} \\ V_{IH} = 2.0 \text{ V} & V_{IL} = 0.8 \text{ V} \\ t_p = 3 \text{ ns} & P_D = 20 \text{ mW} \end{array}$$

Να σημειώσουμε ότι το γινόμενο καθυστέρησης-ισχύος είναι 60 pJ, ενώ το αντίστοιχο γινόμενο για την κλασική TTL είναι 100 pJ.

Άσκηση

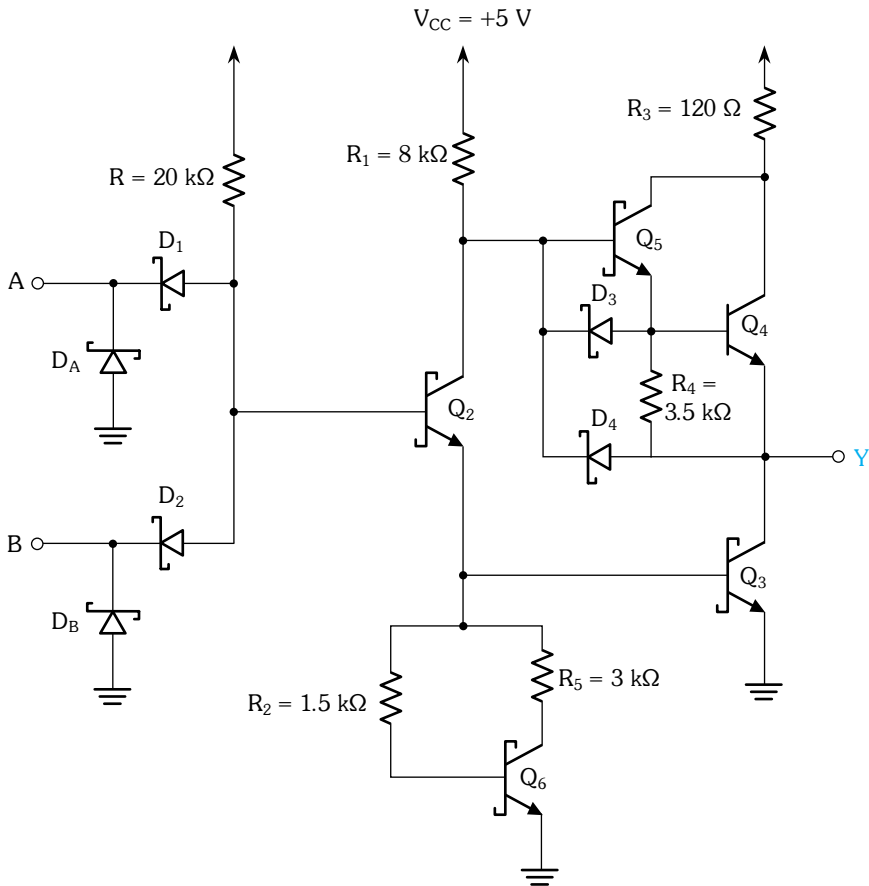
14.24 Χρησιμοποιήστε τις τιμές που δώσαμε παραπάνω για να υπολογίσετε τα περιθώρια θορύβου NM_H και NM_L για μια πύλη Schottky TTL.

Απ. 0.7 V, 0.3 V

Schottky TTL Χαμηλής Ισχύος

Παρόλο που η τεχνολογία Schottky TTL πετυχαίνει πολύ χαμηλή καθυστέρηση μετάδοσης, η κατανάλωση ισχύος είναι κάπως μεγάλη. Αυτό περιορίζει τον αριθμό πυλών που μπορούν να συμπεριληφθούν στην ίδια συσκευασία. Εμφανίστηκε λοιπόν η ανάγκη για μια τροποποιημένη έκδοση που να έχει χαμηλή κατανάλωση ισχύος, πιθανόν σε βάρος της καθυστέρησης. Αυτό πέτυχε η υπο-οικογένεια Schottky TTL χαμηλής ισχύος (LS), που αντιπροσωπεύεται από την πύλη NAND του Σχήματος 14.35.

Το κύκλωμα Schottky TTL χαμηλής ισχύος του Σχήματος 14.35 διαφέρει από το κύκλωμα του συνηθισμένου Schottky TTL του Σχήματος 14.32 σε πολλά σημεία: το πιο σημαντικό είναι ότι οι αντιστάσεις που χρησιμοποιούνται είναι περίπου δέκα φορές μεγαλύτερες, με αποτέλεσμα η κατανάλωση



Σχ.14.35 Πύλη Schottky TTL χαμηλής κατανάλωσης (LSTTL).

λωση ισχύος να είναι περίπου το ένα δέκατο εκείνης του κυκλώματος Schottky (2 mW αντί για 20 mW). Ωστόσο, όπως αναμέναμε η χρήση μεγαλύτερων αντιστάσεων συνοδεύεται από ελάττωση της ταχύτητας του κυκλώματος. Για να αντισταθμίσουμε αυτή την ελάττωση ταχύτητας χρησιμοποιούμε μερικές καινοτομίες:

Πρώτον, το τρανζίστορ πολλαπλού εκπομπού στην είσοδο έχει αποκλεισθεί για να χρησιμοποιηθούν διόδους Schottky, οι οποίες πίνουν λιγότερο χώρο στο τσίπ και συνεπώς έχουν μικρότερες παρασιτικές χωρητικότητες. Σε σχέση μ' αυτό, άς θυμηθούμε ότι το κύριο πλεονέκτημα του τρανζίστορ πολλαπλού εκπομπού στην είσοδο είναι ότι αφαιρεί γρήγορα το φορτίο που είναι αποθηκευμένο στη βάση του Q_2 . Στα κυκλώματα όμως που σταθεροποιούνται από διόδους Schottky το Q_2 δεν φτάνει στον κόρο, οπότε αχρηστεύει την ανάγκη για το Q_1 .

Δεύτερον, προστέθηκαν στο στάδιο εξόδου οι δύο διόδους Schottky D_3

και D_4 , για να βοηθήσουν την αποκοπή του Q_4 και την αγωγή του Q_3 και κατά συνέπεια τη μετάβαση της εξόδου από το υψηλό επίπεδο στο χαμηλό. Ειδικότερα, καθώς η είσοδος της πύλης ανεβαίνει και το Q_2 αρχίζει να άγει, ένα μέρος του ρεύματος συλλέκτη του περνάει μέσα από τη δίοδο D_3 . Το ρεύμα αυτό αποτελεί ένα ανάστροφο ρεύμα πόλωσης για το Q_4 και συνεπώς βοηθάει την ακαριαία αποκοπή του Q_4 . Ταυτόχρονα το ρεύμα εκπομπού του Q_2 τροφοδοτείται στη βάση του Q_3 , προκαλώντας ταχύτερη αγωγή ρεύματος. Ένα μέρος του ρεύματος συλλέκτη του Q_2 θα περάσει επίσης μέσα από την D_4 . Το ρεύμα αυτό θα βοηθήσει την εκφόρτιση της χωρητικότητας φορτίου πύλης και θα επισπεύσει τη μετάβαση από το υψηλό επίπεδο στο χαμηλό. Και η D_3 και η D_4 θα είναι στην αποκοπή κάτω από στατικές συνθήκες.

Τελικά ως παρατηρήσουμε ότι ο άλλος ακροδέκτης της αντίστασης εκπομπού του Q_5 είναι τώρα συνδεδεμένος στην έξοδο της πύλης. Συνεπάγεται λοιπόν ότι όταν η έξοδος της πύλης είναι ψηλά, το ρεύμα εξόδου παρέχεται πρώτα από το Q_5 μέσα από την R_4 . Το τρανζίστορ Q_4 θα αρχίσει να άγει μόνο όταν αναπτυχθεί πτώση τάσης 0.7 V πάνω στην R_4 και έπειτα παραχθεί πρόσθετο ρεύμα φορτίου. Όμως όταν η πύλη παρέχει μικρό ρεύμα φορτίου το Q_4 είναι αποκομμένο και η τάση στην έξοδο είναι περίπου

$$V_{OH} = V_{CC} - V_{BE5}$$

δηλαδή μεγαλύτερη από την τιμή που πετυχαίνεται στη συνηθισμένη πύλη Schottky.

Ασκήσεις

14.25 Η χαρακτηριστική μεταφοράς τάσης της πύλης Schottky TTL χαμηλής ισχύος του Σχήματος 14.35 έχει την ίδια μορφή με την κανονική πύλη Schottky TTL που εικονίζεται στο Σχήμα 14.34. Υπολογίστε τις τιμές των V_{OH} , V_{IL} , V_{IH} και V_{OL} . Υποθέστε ότι ένα τρανζίστορ Schottky αρχίζει να άγει όταν $v_{BE} = 0.7$ V, και άγει πλήρως, όταν $v_{BE} = 0.8$ V, και ότι μια δίοδος Schottky έχει πτώση τάσης 0.5 V. Επίσης υποθέστε ότι το ρεύμα εξόδου της πύλης είναι πολύ μικρό.

Απ. 4.3 V, 0.9 V, 1.1 V, 0.3 V

14.26 Για την πύλη Schottky TTL χαμηλής ισχύος, χρησιμοποιώντας τις προδιαγραφές που δίνονται στην Ασκήση 14.25, υπολογίστε το ρεύμα τροφοδοσίας και στις δύο καταστάσεις. Κατόπιν υπολογίστε τη μέση κατανάλωση ισχύος.

Απ. 0.21 mA, 0.66 mA, 2 mW

Παρ' όλο που τα εγγυημένα επίπεδα τάσης και τα περιθώρια θορύβου των Schottky TTL χαμηλής ισχύος (γνωστών και ως σειρά 74LS) είναι παρόμοια με εκείνα των κανονικών Schottky TTL, η καθυστέρηση πύλης και η κατανάλωση ισχύος είναι αντίστοιχα

$$t_p = 10 \text{ ns} \qquad P_D = 2 \text{ mW}$$

Ετσι παρόλο που η κατανάλωση ισχύος ελαττώθηκε κατά ένα παράγοντα 10, η καθυστέρηση αυξήθηκε μόνο κατά ένα παράγοντα 3. Το αποτέλεσμα είναι ένα γινόμενο καθυστέρησης-ισχύος μόνο 20 pJ.

Περισσότερο Βελτιωμένες Οικογένειες TTL

Υπάρχουν και άλλες οικογένειες TTL με πιο βελτιωμένα χαρακτηριστικά. Ιδιαίτερο ενδιαφέρον παρουσιάζουν οι προχωρημένες (advanced) πύλες Schottky (σειρά 74AS) και οι προχωρημένες πύλες Schottky χαμηλής ισχύος (σειρά 74ALS). Δε θα επεκταθούμε εδώ σε λεπτομέρειες σχετικές με τα κυκλώματα αυτών των οικογενειών. Ο Πίνακας 14.2 παρέχει μια σύγκριση των υπο-οικογενειών TTL με βάση την καθυστέρηση πύλης και την κατανάλωση ισχύος.

Πίνακας 14.2 ΣΥΓΚΡΙΣΗ ΑΠΟΔΟΣΗΣ ΟΙΚΟΓΕΝΕΙΩΝ TTL

	Standard TTL (Series 74)	Schottky TTL (Series 74S)	Low-Power Schottky TTL (Series 74LS)	Advanced Schottky TTL (Series 74AS)	Advanced Low-Power Schottky TTL (Series 74ALS)
t_p , ns	10	3	10	1.5	4
P_D , mW	10	20	2	20	1
DP, pJ	100	60	20	30	4

Παρατηρούμε ότι και οι προχωρημένες πύλες Schottky χαμηλής ισχύος προσφέρουν πολύ χαμηλό γινόμενο καθυστέρησης-ισχύος. Συμπερασματικά σημειώνουμε ότι προς το παρόν η οικογένεια TTL είναι πολύ δημοφιλής για λογικά κυκλώματα που συσκευάζονται σε SSI και MSI τσίπ. Παρ' όλο που η κανονική TTL δε χρησιμοποιείται πια σε καινούργια κυκλώματα, οι προχωρημένες μορφές κυκλωμάτων χρησιμοποιούνται συχνά. Η ταχύτητα των προχωρημένων πυλών Schottky ανταγωνίζεται εκείνη της λογικής ζεύξης εκπομπού (ECL).

14.6 ΛΟΓΙΚΗ ΖΕΥΞΗΣ ΕΚΠΟΜΠΟΥ (ECL)

Η λογική ζεύξης εκπομπού είναι η πιο γρήγορη οικογένεια λογικών κυκλωμάτων. Η υψηλή ταχύτητα επιτυγχάνεται λειτουργώντας όλα τα τρανζίστορ έξω από τον κόρο. Μ' αυτόν τον τρόπο αποφεύγονται οι καθυστερή-

σεις εξαιτίας του χρόνου αποθήκευσης. Κρατώντας τις διακυμάνσεις των λογικών σημάτων σε σχετικά χαμηλό επίπεδο, (περίπου 0.8 V), ελαττώνεται ο χρόνος που χρειάζεται για να φορτίσουμε και να εκφορτίσουμε τις διάφορες χωρητικότητες φορτίου και τις παρασιτικές.

Αντίθετα με την Schottky TTL, όπου ο κόρος αποφεύγεται με την εκτροπή του πλεονάζοντος ρεύματος βάσης στην σταθεροποιητική δίοδο Schottky, στην ECL ο κόρος αποφεύγεται χρησιμοποιώντας το διαφορικό ζεύγος BJT ως διακόπτη ρεύματος. Μια εισαγωγή στο διαφορικό ζεύγος BJT δόθηκε στις Ενότητες 6.1 και 6.2, τις οποίες παροτρύνουμε τον αναγνώστη να μελετήσει προτού προχωρήσει στη μελέτη των ECL.

Οικογένειες ECL

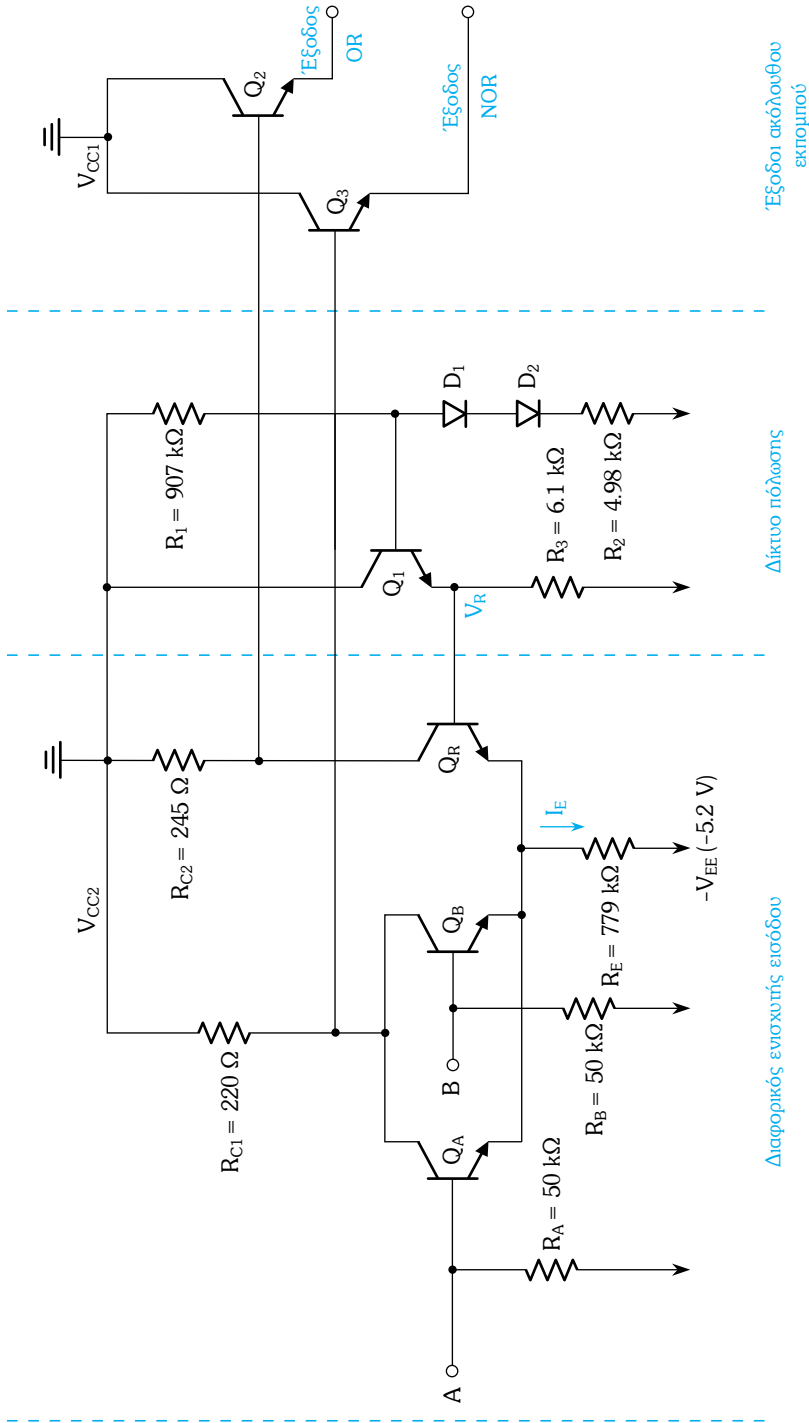
Σήμερα υπάρχουν δύο δημοφιλείς μορφές ECL - συγκεκριμένα η ECL 10K και η ECL 100K. Η Σειρά ECL 100K παρουσιάζει καθυστερήσεις πύλης τάξης μεγέθους 0.75 ns και καταναλώνει περίπου 40 mW/πύλη για ένα γινόμενο καθυστέρησης-ισχύος 30 pJ. Παρόλο που η κατανάλωση ισχύος είναι σχετικά μεγάλη, η Σειρά 100K παρέχει τη μικρότερη δυνατή καθυστέρηση.

Η Σειρά 10K είναι κάπως πιο αργή. Παρουσιάζει καθυστέρηση διάδοσης πύλης 2 ns και κατανάλωση ισχύος 25 mW για ένα γινόμενο καθυστέρησης-ισχύος 50 pJ. Παρόλο που η τιμή του DP είναι μεγαλύτερη από εκείνη της Σειράς 100K, η Σειρά 10K είναι ευκολότερη στη χρήση. Αυτό οφείλεται στο γεγονός ότι οι χρόνοι ανόδου και πτώσης των παλμών έχουν γίνει επίτηδες μεγαλύτεροι, ώστε να ελαττώνουν τη σύζευξη των σημάτων (crosstalk) μεταξύ γειτονικών γραμμών σήματος. Η ECL 10K έχει ταχύτητα "ακμής" (edge speed) περίπου 3.5 ns, ενώ η ECL 100K έχει ταχύτητα ακμής 1ns. Παρακάτω θα μελετήσουμε τη δημοφιλή ECL 10K λεπτομερώς.

Εκτός από τη χρήση της στα SSI και MSI κυκλώματα η τεχνολογία ECL χρησιμοποιείται επίσης σε εφαρμογές LSI ή VLSI. Πρόσφατα μια παραλλαγή της ECL γνωστή και ως **λογική ρεύματος** (current-mode logic ή CML) έχει γίνει δημοφιλής σε εφαρμογές VLSI (δείτε Treadway, 1989 και Wilson 1990).

Το Κύκλωμα Βασικής Πύλης

Το κύκλωμα βασικής πύλης ECL 10K εικονίζεται στο Σχήμα 14.36. Το κύκλωμα αποτελείται από τρία μέρη. Το δίκτυο που συνίσταται από τα Q_1 , D_1 , D_2 , R_1 , R_2 και R_3 δημιουργεί μια τάση αναφοράς V_R της οποίας η τιμή σε θερμοκρασία δωματίου είναι -1.32 V. Οπως θα δείξουμε παρακάτω η τιμή της τάσης αναφοράς φτιάχνεται έτσι ώστε να αλλάζει με τη θερμοκρασία κατά προβλέψιμο τρόπο ώστε να κρατά τα περιθώρια θορύβου σχεδόν σταθερά. Επίσης, η τάση αναφοράς V_R κατασκευάζεται έτσι ώστε να είναι σχετικά αναισθητή στις μεταβολές της τάσης τροφοδοσίας V_{EE} .

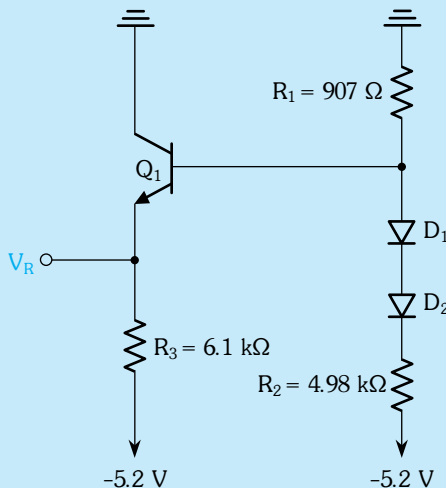


Σχ. 14.36 Κύκλωμα βασικής πύλης της οικογένειας 10K ECL.

Άσκηση

14.27 Το Σχήμα A14.27 εικονίζει το κύκλωμα που δημιουργεί την τάση αναφοράς V_R . Υποθέτοντας ότι η πτώση τάσης στα άκρα καθεμιάς από τις D_1 , D_2 και της ένωσης βάσης-εκπομπού του Q_1 είναι 0.75 V , υπολογίστε την τιμή της V_R . Αμελήστε το ρεύμα βάσης του Q_1 .

Απ. -1.32 V



Σχ. A14.27

Το δεύτερο μέρος, που είναι η καρδιά της πύλης, είναι ο διαφορικός ενισχυτής που σχηματίζεται από το Q_R και είτε το Q_A είτε το Q_B . Ο διαφορικός ενισχυτής, είναι πολωμένος, όχι με κάποια σταθερή πηγή ρεύματος, όπως έγινε στα κυκλώματα του Κεφαλαίου 6, αλλά με μια αντίσταση R_E συνδεδεμένη στην αρνητική τροφοδοσία $-V_{EE}$. Η μια πλευρά του διαφορικού ενισχυτή αποτελείται από το τρανζίστορ αναφοράς Q_R του οποίου η βάση είναι συνδεδεμένη στην τάση αναφοράς V_R . Η άλλη πλευρά αποτελείται από έναν αριθμό τρανζίστορ (δύο στην περίπτωση που εικονίζεται) συνδεδεμένων παράλληλα με ξεχωριστές βάσεις συνδεδεμένες στις εισόδους της πύλης. Εάν οι τάσεις που εφαρμόζονται στα A και B είναι στο λογικό επίπεδο 0, το οποίο, όπως θα δούμε είναι περίπου 0.4 V κάτω από τη V_R , τότε και το Q_A και το Q_B θα είναι αποκομμένα και το ρεύμα I_E στην R_E θα περνάει μέσα από το τρανζίστορ αναφοράς Q_R . Η πτώση τάσης στα άκρα της R_{C2} θα κατεβάσει την τάση συλλέκτη του Q_R στο χαμηλό λογικό επίπεδο.

Από την άλλη μεριά, όταν η τάση που εφαρμόζεται στο A ή στο B είναι στο λογικό επίπεδο 1, το οποίο, όπως θα δούμε, είναι περίπου 0.4 V πάνω από τη V_R , τότε είτε το Q_A είτε το Q_B είτε και τα δύο άγουν και το Q_R είναι αποκομμένο. Συνεπώς το ρεύμα I_E περνάει μέσα από το Q_A ή το Q_B , ή και τα δύο και ένα περίπου ίσο ρεύμα περνάει μέσα από την R_{C1} . Η πτώση τά-

σης στα άκρα της R_{C1} θα προκαλέσει την πτώση της τάσης του συλλέκτη. Στο μεταξύ, εφόσον το Q_R είναι αποκομμένο, η τάση συλλέκτη του ανεβαίνει. Βλέπουμε λοιπόν ότι η τάση του συλλέκτη του Q_R είναι ψηλά εάν το A ή το B ή και τα δύο είναι ψηλά, άρα, στο συλλέκτη του Q_R υλοποιείται η λογική συνάρτηση OR. Από την άλλη μεριά ο κοινός συλλέκτης των Q_A και Q_B είναι ψηλά μόνο όταν τα A και B είναι ταυτόχρονα χαμηλά. Ετσι, στον κοινό συλλέκτη των Q_A και Q_B υλοποιείται η λογική συνάρτηση $\overline{A + B} = \overline{A} + \overline{B}$. Συμπεραίνουμε λοιπόν ότι η πύλη δύο εισόδων του κυκλώματος του Σχ. 14.36 υλοποιεί τη λογική συνάρτηση OR και το συμπλήρωμα της, τη λογική συνάρτηση NOR. Η δυνατότητα συμπληρωματικών εξόδων, είναι σημαντικό πλεονέκτημα των ECL, απλοποιεί τη λογική και αποφεύγει τη χρήση πρόσθετων αντιστροφών με την ανάλογη καθυστέρηση που έχουν.

Θα πρέπει να σημειώσουμε ότι η αντίσταση που συνδέει καθέναν από τους ακροδέκτες εισόδου της πύλης στην αρνητική τροφοδοσία δίνει τη δυνατότητα στο χρήστη να αφήσει ανοικτό έναν ακροδέκτη εισόδου που δε χρησιμοποιεί. Τότε ο ανοικτός ακροδέκτης εισόδου θα "τραβηχτεί" στην τάση αρνητικής τροφοδοσίας και το αντίστοιχο τρανζίστορ θα είναι στην αποκοπή.

Ασκηση

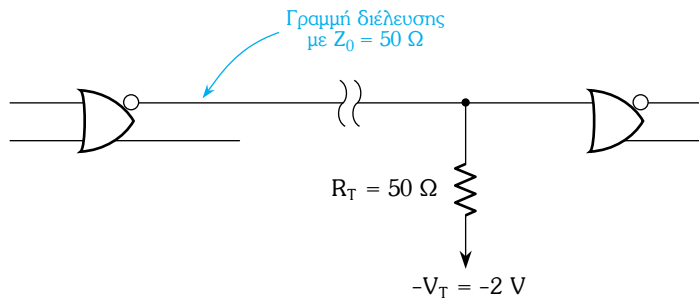
14.28 Με τους ακροδέκτες A και B ανοικτούς βρείτε το ρεύμα I_E που περνάει από την R_E . Επίσης βρείτε τις τάσεις στο συλλέκτη του Q_R και στον κοινό συλλέκτη των τρανζίστορ εισόδου Q_A και Q_B . Χρησιμοποιήστε $V_R = -1.32$ V, V_{BE} του $Q_R = 0.75$ V και υποθέστε ότι το β του Q_R είναι πολύ υψηλό.

Απ. 4 mA, -1 V, 0 V

Το τρίτο μέρος του κυκλώματος της πύλης ECL αποτελείται από δύο ακόλουθους εκπομπού, Q_2 και Q_3 . Οι ακόλουθοι εκπομπού δεν έχουν φορτίο πάνω στο τσίπ, επειδή στις περισσότερες εφαρμογές κυκλωμάτων υψηλής ταχύτητας η έξοδος της πύλης οδηγεί μια γραμμή μεταφοράς που τερματίζεται στο άλλο άκρο, όπως δείχνει το Σχήμα 14.37.

Οι ακόλουθοι εκπομπού έχουν δύο στόχους: Πρώτον, μετατοπίζουν το επίπεδο των σημάτων εξόδου κατά μια πτώση τάσης V_{BE} . Ετσι χρησιμοποιώντας τα αποτελέσματα της Ασκήσης 14.28, βλέπουμε ότι τα επίπεδα της εξόδου γίνονται περίπου -1.75 V και -0.75 V. Τα μετατοπισμένα αυτά επίπεδα είναι επικεντρωμένα περίπου γύρω από την τάση αναφοράς ($V_R = -1.32$ V), που σημαίνει ότι μια πύλη μπορεί να οδηγεί μια άλλη. Αυτή η συμβατότητα των λογικών επιπέδων στην είσοδο και έξοδο είναι πάντα μια βασική απαίτηση στο σχεδιασμό κυκλωμάτων πυλών.

Η δεύτερη λειτουργία των ακόλουθων εκπομπού της εξόδου είναι ότι



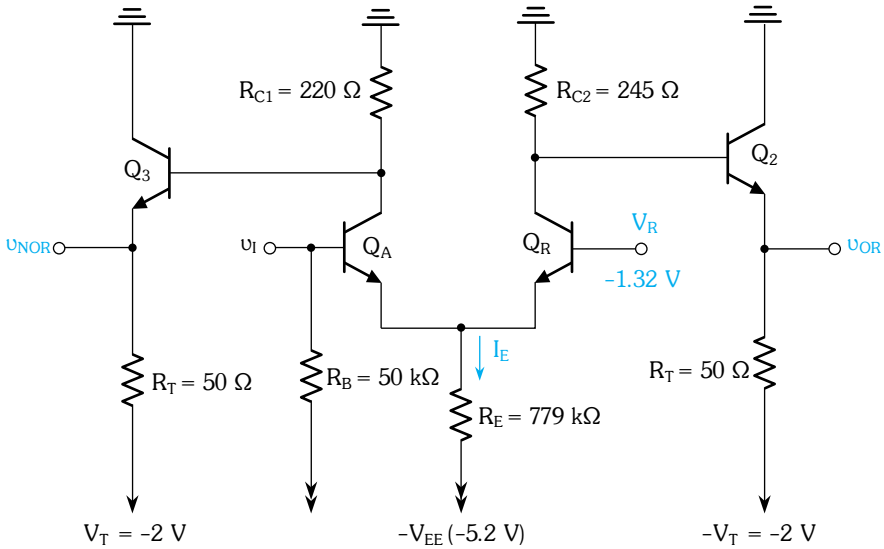
Σχ. 14.37 Ο σωστός τρόπος για τη σύνδεση λογικών πυλών μεγάλης ταχύτητας, όπως οι πύλες ECL. Ο σωστός τερματισμός της γραμμής μεταφοράς που συνδέει τις δύο πύλες, εξαλείφει το φαινόμενο κλυδωνισμού, το οποίο μπορεί να προκαλέσει λάθη λογικής.

παρέχουν στην πύλη χαμηλές αντιστάσεις εξόδου και μεγάλα ρεύματα εξόδου, που είναι απαραίτητα για να φορτίσουν χωρητικότητες φορτίου. Επειδή αυτά τα μεγάλα μεταβατικά ρεύματα μπορούν να προκαλέσουν σπινθήρες στη γραμμή τροφοδοσίας, οι συλλέκτες των ακολούθων εκπομπού είναι συνδεδεμένοι σε έναν ακροδέκτη τροφοδοσίας V_{CC1} ξεχωριστό από εκείνον του διαφορικού ενιχυτή και του κυκλώματος τάσης αναφοράς V_{CC2} . Εδώ να σημειώσουμε ότι το ρεύμα τροφοδοσίας του διαφορικού ενιχυτή και του κυκλώματος τάσης αναφοράς παραμένει σχεδόν σταθερό. Η χρήση ξεχωριστών ακροδεκτών τροφοδοσίας εμποδίζει τη σύζευξη των σπινθήρων από το κύκλωμα εξόδου προς το κύκλωμα πύλης και συνεπώς μειώνει την πιθανότητα εσφαλμένης αλλαγής κατάστασης. Τα V_{CC1} και V_{CC2} είναι βέβαια συνδεδεμένα στην ίδια γείωση συστήματος έξω από το τσίπ.

Χαρακτηριστικές Μεταφοράς Τάσης

Εχοντας περιγράψει ποιοτικά τη λειτουργία της πύλης ECL θα υπολογίσουμε τις χαρακτηριστικές μεταφοράς τάσης του. Αυτό θα γίνει με τερματισμό των εξόδων όπως εικονίζεται στο Σχήμα 14.37. Υποθέτοντας ότι η είσοδος B είναι χαμηλά, άρα και το Q_B αποκομμένο, το κύκλωμα απλοποιείται και μετατρέπεται σ' εκείνο του Σχήματος 14.38. Αναλύουμε αυτό το κύκλωμα για να υπολογίσουμε την v_{OR} ως συνάρτηση της v_I και την v_{NOR} ως συνάρτηση της v_I (όπου $v_I \equiv v_A$).

Στην ανάλυση που θα ακολουθήσει θα κάνουμε χρήση της εκθετικής χαρακτηριστικής $i_C - v_{BE}$ του BJT. Επειδή τα BJT που χρησιμοποιούνται σε κυκλώματα ECL έχουν μικρό εμβαδό (ώστε να έχουν μικρές χωρητικότητες, άρα και μεγάλο f_T), τα ρεύματα κλίμακας (scale currents) I_S είναι μικρά. Θα υποθέσουμε λοιπόν ότι για ένα ρεύμα εκπομπού 1 mA ένα τρανζίστροπ πύλης ECL έχει πτώση V_{BE} ίση με 0.75 V.



Σχ. 14.38 Απλοποιημένη πύλη ECL για τον υπολογισμό χαρακτηριστικών μεταφοράς.

Χαρακτηριστική Μεταφοράς της Πύλης OR

Το Σχήμα 14.39 εικονίζει ένα διάγραμμα της χαρακτηριστικής μεταφοράς της πύλης OR, παρουσιάζοντας την v_{OR} ως συνάρτηση της v_I με τις παραμέτρους V_{OL} , V_{OH} , V_{IL} και V_{IH} . Ωστόσο, για να απλοποιήσουμε τον υπολογισμό των V_{IL} και V_{IH} , θα χρησιμοποιήσουμε έναν εναλλακτικό ορισμό για το μοναδιαίο κέρδος. Συγκεκριμένα θα υποθέσουμε ότι στο σημείο x το τρανζίστορ Q_A άγει 1% του I_E ενώ το Q_R άγει το 99% του I_E . Το αντίστροφο θα υποθέσουμε για το σημείο y. Ετσι στο σημείο x έχουμε

$$\frac{I_{E|Q_R}}{I_{E|Q_A}} = 99$$

Χρησιμοποιώντας την εκθετική σχέση $i_E - v_{BE}$ παίρνουμε

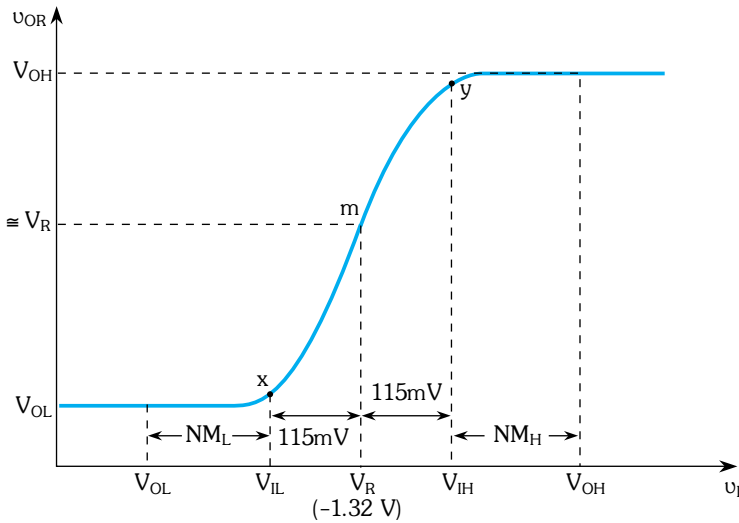
$$V_{BE|Q_R} - V_{BE|Q_A} = V_T \ln 99 = 115\text{mV}$$

που μας δίνει

$$V_{IL} = -1.32 - 0.115 = -1.435\text{ V}$$

Αν υποθέσουμε ότι τα Q_A και Q_R είναι ταιριασμένα, μπορούμε να γράψουμε

$$V_{IH} - V_R = V_R - V_{IL}$$



Σχ. 14.39 Χαρακτηριστική μεταφοράς $u_{OR}-u_I$ της πύλης OR του Σχήματος 14.38.

που μπορεί να χρησιμοποιηθεί για να βρούμε τη V_{IH} :

$$V_{IH} = -1.205 \text{ V}$$

Για να πάρουμε τη V_{OL} σημειώνουμε ότι το Q_A είναι στην αποκοπή και το Q_R παίρνει πάνω του ολόκληρο το ρεύμα I_E που δίνεται από την

$$\begin{aligned} I_E &= \frac{V_R - V_{BE|Q_R} + V_{EE}}{R_E} \\ &= \frac{-1.32 - 0.75 + 5.2}{0.779} \\ &\approx 4 \text{ mA} \end{aligned}$$

(Εάν θέλουμε, μπορούμε να επαναλάβουμε τη διαδικασία για να υπολογίσουμε με μεγαλύτερη προσέγγιση τη $V_{BE|Q_R}$ και κατά συνέπεια το I_E).

Υποθέτοντας ότι το Q_R έχει υψηλό β έτσι ώστε να έχει $\alpha \approx 1$, το ρεύμα συλλέκτη του θα είναι περίπου 4 mA. Αν αγνοήσουμε το ρεύμα βάσης του Q_2 , παίρνουμε για την τάση του συλλέκτη του Q_R

$$V_C|_{Q_R} \approx -4 \times 0.245 = -0.98 \text{ V}$$

Αρα μια πρώτη προσέγγιση για την τιμή της τάσης εξόδου V_{OL} είναι

$$V_{OL} = V_C \Big|_{Q_R} - V_{BE} \Big|_{Q_2}$$

$$\approx -0.98 - 0.75 = -1.73V$$

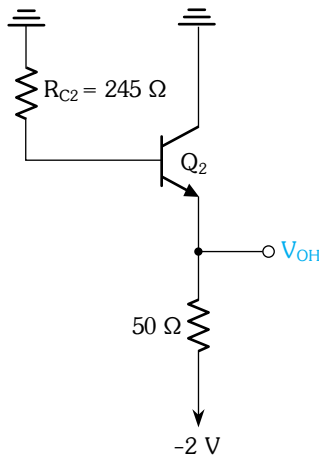
Μπορούμε να χρησιμοποιήσουμε την τιμή αυτή για να βρούμε το ρεύμα εκπομπού του Q_2 και έπειτα να επαναλάβουμε τη διαδικασία για να υπολογίσουμε με μεγαλύτερη προσέγγιση την τάση βάσης-εκπομπού του. Το αποτέλεσμα είναι $V_{BE2} \approx 0.79 V$ και αντίστοιχα

$$V_{OL} \approx -1.77V$$

Στην τιμή αυτή της τάσης εξόδου, το Q_2 παρέχει ένα ρεύμα φορτίου περίπου 4.6 mA.

Για να βρούμε την τιμή του V_{OH} υποθέτουμε ότι το Q_R είναι εντελώς αποκομμένο (επειδή $v_I > V_{IH}$). Έτσι το κύκλωμα για τον υπολογισμό του V_{OH} απλοποιείται σ' εκείνο του Σχήματος 14.40. Η ανάλυση αυτού του κυκλώματος υποθέτοντας ότι $\beta_2 = 100$, έχει αποτέλεσμα $V_{BE2} \approx 0.83 V$, $I_{E2} = 22.4 mA$ και

$$V_{OH} \approx -0.88V$$



Σχ.14.40 Κύκλωμα για τον υπολογισμό της V_{OH} .

Άσκηση

14.29 για το κύκλωμα του Σχήματος 14.38 υπολογίστε τις τιμές του I_E που παίρνουμε όταν $v_I = V_{IL}$, V_R και V_{IH} . Επίσης, βρείτε την τιμή του v_{OR} που αντιστοιχεί στη συνθήκη $v_I = V_R$. Υποθέστε ότι $v_{BE} = 0.75 V$ για ένα ρεύμα 1 mA.

Απ. 3.97 mA, 4.00 mA, 4.12 mA, -1.31 V

Περιθώρια Θορύβου

Τα αποτελέσματα της Ασκήσης 14.29 δείχνουν ότι το ρεύμα πόλωσης I_E παραμένει περίπου σταθερό. Επίσης η τάση εξόδου, που αντιστοιχεί στο $v_i = V_R$ είναι περίπου ίση με V_R . Παρατηρήστε ότι αυτή είναι επίσης η μέση τιμή της διακύμανσης της λογικής εξόδου. Συγκεκριμένα,

$$\frac{V_{OL} + V_{OH}}{2} = -1.325 \approx V_R$$

Αρα τα λογικά επίπεδα της εξόδου είναι συμμετρικά γύρω από το μεσαίο σημείο της ζώνης μετάβασης της εισόδου. Αυτή είναι μια ιδανική κατάσταση από την πλευρά των περιθωρίων θορύβου και αυτός είναι ένας από τους λόγους που διαλέξαμε αυτούς τους φαινομενικά αυθαίρετους αριθμούς $V_R = -1.32 \text{ V}$ και $V_{EE} = 5.2 \text{ V}$.

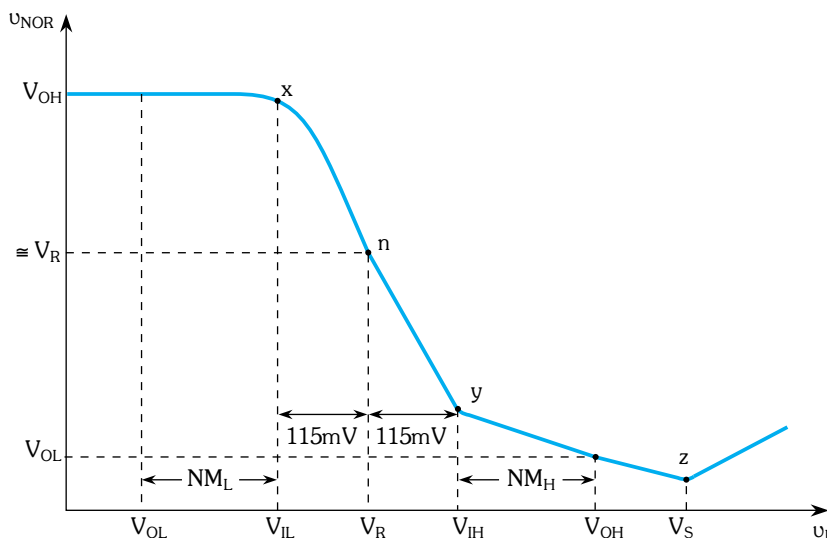
Τα περιθώρια θορύβου μπορούν να υπολογιστούν ως εξής:

$$\begin{aligned} NM_H &= V_{OH} - V_{IH} & NM_L &= V_{IL} - V_{OL} \\ &= -0.88 - (-1.205) = 0.325 \text{ V} & &= -1.435 - (-1.77) = 0.335 \text{ V} \end{aligned}$$

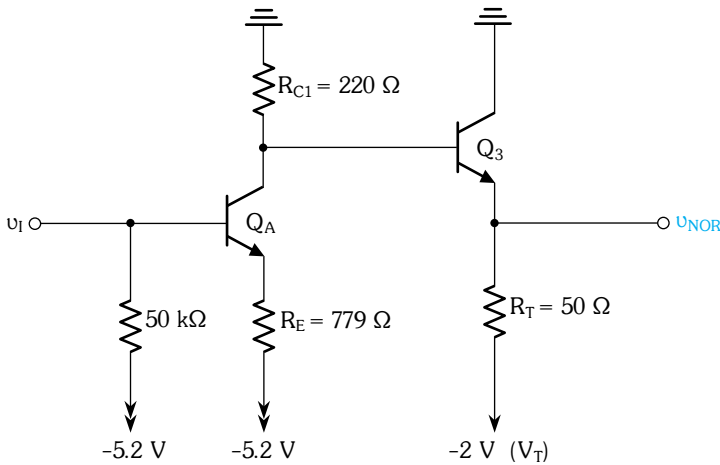
Να σημειώσουμε ότι οι τιμές αυτές είναι περίπου ίσες.

Η Χαρακτηριστική Μεταφοράς της Πύλης NOR

Η χαρακτηριστική μεταφοράς της πύλης NOR, που είναι η v_{NOR} ως συνάρτηση της v_i για το κύκλωμα του Σχήματος 14.38, εικονίζεται στο Σχήμα



Σχ. 14.41 Χαρακτηριστική μεταφοράς v_{NOR} - v_i της πύλης NOR του Σχήματος 14.38.



Σχ. 14.42 Κύκλωμα για τον υπολογισμό της u_{NOR} ως συνάρτηση της u_I για την περιοχή $u_I > V_{\text{IH}}$.

14.41. Οι τιμές των V_{IL} και V_{IH} είναι ταυτόσημες με εκείνες που βρήκαμε παραπάνω, για τη χαρακτηριστική μεταφοράς της πύλης OR. Για να δώσουμε έμφαση στο γεγονός αυτό, δώσαμε στα σημεία κατωφλίου x και y τα ίδια ονόματα που είχαμε χρησιμοποιήσει στο Σχήμα 14.39

Για $u_I < V_{\text{IL}}$ το Q_A είναι στην αποκοπή και η τάση εξόδου u_{NOR} μπορεί να βρεθεί αν αναλύσουμε το κύκλωμα που αποτελείται από την R_{C1} , το Q_3 και τον τερματισμό 50Ω . Αν εξαιρέσουμε το γεγονός ότι η R_{C1} είναι ελάχιστα μικρότερη από την R_{C2} , το κύκλωμα είναι ολόιδιο με αυτό του Σχήματος 14.40. Ετσι η τάση εξόδου θα είναι ελάχιστα μεγαλύτερη από την τιμή V_{OH} που βρήκαμε προηγουμένως. Στο σχεδιάγραμμα του Σχήματος 14.41 έχουμε υποθέσει ότι η τάση εξόδου είναι περίπου ίση με V_{OH} .

Για $u_I > V_{\text{IH}}$ το Q_A άγει ολόκληρο το ρεύμα πόλωσης και το κύκλωμα απλοποιείται σ' εκείνο του Σχήματος 14.42. Μπορούμε εύκολα να αναλύσουμε το κύκλωμα αυτό και να πάρουμε την u_{NOR} ως συνάρτηση της u_I για την περιοχή $u_I \geq V_{\text{IH}}$. Πρέπει να κάνουμε τώρα μερικές παρατηρήσεις. Πρώτον, να σημειώσουμε ότι αν $u_I = V_{\text{IH}}$ το αποτέλεσμα είναι μια τάση εξόδου ελάχιστα μεγαλύτερη από τη V_{OL} . Αυτό συμβαίνει επειδή η R_{C1} είναι μικρότερη από την R_{C2} . Για την ακρίβεια διαλέγουμε η R_{C1} να έχει μικρότερη τιμή από την R_{C2} , ώστε με την u_I ίση με την κανονική τιμή λογικού 1 (δηλαδή V_{OH} που είναι περίπου -0.88 V) η έξοδος να είναι ίση με την τιμή της V_{OL} που είχαμε βρεί προηγουμένως για την πύλη OR.

Δεύτερον, να σημειώσουμε ότι καθώς η u_I ξεπερνάει τη V_{IH} , το τρανζίστορ Q_A λειτουργεί στην ενεργό περιοχή και το κύκλωμα του Σχήματος 14.42 μπορεί να αναλυθεί, για να βρεθεί το κέρδος αυτού του ενισχυτή, που δεν είναι άλλο από την κλίση του γραμμικού τμήματος yz της χαρακτηριστικής μεταφοράς. Στο σημείο z το τρανζίστορ Q_A μπαίνει στον κόρο.

Περαιτέρω αυξήσεις στην v_i (πάνω από το σημείο $v_i = V_S$) προκαλούν αύξηση στην τάση του συλλέκτη και συνεπώς και στην v_{NOR} . Η κλίση όμως του τμήματος της χαρακτηριστικής μεταφοράς πέρα από το σημείο z δεν είναι μονάδα αλλά είναι περίπου 0.5, επειδή, καθώς το Q_A οδηγείται βαθύτερα στον κόρο ένα μέρος της αύξησης του v_i εμφανίζεται ως αύξηση στην τάση ορθής πόλωσης της διόδου βάσης-συλλέκτη. Ο αναγνώστης θα πρέπει να λύσει την Άσκηση 14.30, η οποία αφορά τις λεπτομέρειες της χαρακτηριστικής μεταφοράς της πύλης NOR.

Άσκηση

14.30 Θεωρήστε το κύκλωμα του Σχήματος 14.42: (α) για $v_i = V_{IH} = -1.205$ V βρείτε την v_{NOR} , (β) για $v_i = V_{OH} = -0.88$ V βρείτε την v_{NOR} , (γ) βρείτε την κλίση της χαρακτηριστικής μεταφοράς στο σημείο $v_i = V_{OH} = -0.88$ V, (δ) βρείτε την τιμή της v_i για την οποία το Q_A μπαίνει στον κόρο (δηλ. την V_S). Υποθέστε ότι η $V_{BE} = 0.75$ V για ρεύμα 1 mA, $V_{CEsat} \approx 0.3$ V και $\beta = 100$.

Απ. (α) -1.70 V, (β) -1.79 V, (γ) -0.24 V/V, (δ) -0.58 V

Προδιαγραφές Κατασκευαστή

Οι κατασκευαστές πυλών ECL δίνουν τις χαρακτηριστικές μεταφοράς της πύλης με τη μορφή που εικονίζεται στα Σχήματα 14.39 και 14.41. Συνήθως ο κατασκευαστής δίνει αυτές τις καμπύλες για διάφορες θερμοκρασίες. Επιπλέον για κάθε σχετική θερμοκρασία, δίνονται και οι τιμές της χειρότερης περίπτωσης για τις V_{IL} , V_{IH} , V_{OL} και V_{OH} . Αυτές οι τιμές της χειρότερης περίπτωσης προδιαγράφονται λαμβάνοντας υπόψη και τις αναπόφευκτες ανοχές των στοιχείων. Για παράδειγμα η Motorola, δίνει προδιαγραφή ότι για την MECL 10.000 στους 25°C ισχύουν οι παρακάτω τιμές χειρότερης περίπτωσης:⁶

$$V_{ILmax} = -1.475 \text{ V} \quad V_{IHmin} = -1.105 \text{ V}$$

$$V_{OLmax} = -1.630 \text{ V} \quad V_{OHmin} = -0.980 \text{ V}$$

Οι τιμές αυτές χρησιμοποιούνται για να υπολογίσουμε τα χειρότερα δυνατά περιθώρια θορύβου,

$$NML = 0.155 \text{ V} \quad NMH = 0.125 \text{ V}$$

που είναι περίπου το μισό από τις *τυπικές* τιμές που υπολογίσαμε προηγουμένως.

Για περισσότερες λεπτομέρειες για τις προδιαγραφές MECL ο αναγνώ-

⁶ MECL είναι το εμπορικό όνομα που χρησιμοποιεί η Motorola για ECL

στις μπορεί να αναφερθεί στις δημοσιεύσεις της Motorola (1988, 1989) που παραθέτονται στη βιβλιογραφία στο τέλος αυτού του κεφαλαίου.

Fan-Out

Όταν το σήμα εισόδου σε μια πύλη ECL είναι χαμηλά, το ρεύμα εισόδου είναι ίσο με το ρεύμα που περνάει στην αντίσταση pull-down των 50 kΩ. Έτσι

$$I_{IL} = \frac{-1.77 + 5.2}{50} \approx 69 \mu\text{A}$$

Όταν η είσοδος είναι ψηλά, το ρεύμα εισόδου είναι μεγαλύτερο εξαιτίας του ρεύματος βάσης του τρανζίστορ εισόδου. Έτσι, υποθέτοντας το β του τρανζίστορ ίσο με 100, παίρνουμε

$$I_{IH} = \frac{-0.88 + 5.2}{50} + \frac{4}{101} \approx 126 \mu\text{A}$$

Και τα δύο αυτά ρεύματα έχουν μικρές τιμές, οι οποίες σε συνδυασμό με το γεγονός ότι η αντίσταση εξόδου της πύλης ECL είναι πολύ μικρή, εξασφαλίζουν ελάχιστη μείωση του επιπέδου των λογικών σημάτων εξαιτίας των ρευμάτων εισόδου των πυλών fan-out. Προκύπτει λοιπόν ότι το fan-out των πυλών ECL δεν περιορίζεται από προβλήματα λογικού-επιπέδου αλλά από μείωση της ταχύτητας του κυκλώματος (χρόνοι ανόδου και καθόδου). Το φαινόμενο αυτό οφείλεται στη χωρητικότητα την οποία κάθε πύλη fan-out παρουσιάζει στην οδηγούσα πύλη (περίπου 3 pF). Έτσι, ενώ το dc fan-out μπορεί να είναι της τάξης μεγέθους του 90 και να μην παρουσιάζεται πρόβλημα στη σχεδίαση, το ac fan-out περιορίζεται στην τιμή του 10 περίπου.

Ταχύτητα

Η ταχύτητα λειτουργίας μιας οικογένειας λογικών πυλών μετριέται από την καθυστέρηση της βασικής της πύλης και από τους χρόνους ανόδου και πτώσης των κυματομορφών εξόδου. Έχουμε ήδη δώσει τυπικές τιμές για τις παραμέτρους αυτές των πυλών ECL. Εδώ πρέπει να σημειώσουμε ότι, επειδή το κύκλωμα εξόδου είναι ακόλουθος εκπομπού, ο χρόνος ανόδου του σήματος εξόδου είναι μικρότερος από το χρόνο πτώσης του. Αυτό οφείλεται στο ότι στην ακμή ανόδου του παλμού εξόδου ο ακόλουθος επομπού λειτουργεί και παρέχει το ρεύμα που χρειάζεται για να φορτίσει το φορτίο και τις παρασιτικές χωρητικότητες. Από την άλλη μεριά, καθώς το σήμα στη βάση του ακόλουθου εκπομπού πέφτει, ο ακόλουθος εκπομπού αποκόπεται και η χωρητικότητα φορτίου εκφορτίζεται μέσα από το συνδυασμό των αντιστάσεων φορτίου και pull-down. Το σημείο αυτό εξηγήθηκε λεπτομερώς στην Ενότητα 14.3.

Μετάδοση Σήματος

Για να μπορέσουμε να εκμεταλλευτούμε πλήρως τη μεγάλη ταχύτητα λειτουργίας που είναι δυνατή με ECL πρέπει να δώσουμε μεγάλη προσοχή στη μέθοδο διασύνδεσης των διαφόρων λογικών πυλών μέσα σ' ένα σύστημα. Για να εκτιμήσουμε το θέμα αυτό θα συζητήσουμε με συντομία το πρόβλημα της μετάδοσης σήματος.

Η ECL παίρνει σήματα των οποίων ο χρόνος ανόδου μπορεί να είναι 1 ns ή και λιγότερο, δηλαδή ο χρόνος που χρειάζεται το φως για να διανύσει μια απόσταση περίπου 30 cm. Για τέτοια σήματα το σύρμα και το περιβάλλον του μετατρέπονται σε ένα σχετικά πολύπλοκο κυκλωματικό στοιχείο μέσα από το οποίο τα σήματα μεταδίδονται με πεπερασμένη ταχύτητα (περίπου το μισό της ταχύτητας του φωτός - δηλαδή 15 cm/ns). Εάν δεν πάρουμε ειδικά μέτρα, η ενέργεια που φθάνει στο τέλος ενός τέτοιου σύρματος δεν απορροφάται, αλλά γυρνάει πίσω, ως *ανάκλαση* προς τη μεριά του σύρματος όπου έγινε η αρχή της μετάδοσης, όπου μπορεί να ανακλαστεί ξανά. Το αποτέλεσμα της διαδικασίας πολλαπλών ανακλάσεων είναι αυτό που ονομάζουμε "**κλυδωνισμός**" (ringing), δηλαδή μια αποσβενόμενη ταλάντωση του σήματος γύρω από την τελική του τιμή.

Δυστυχώς η τεχνολογία ECL είναι ιδιαίτερα ευαίσθητη στον κλυδωνισμό επειδή τα επίπεδα του σήματος είναι τόσο μικρά. Συνεπώς, είναι πολύ σημαντικό να ελέγχεται πολύ καλά η μετάδοση των σημάτων και να απορροφάται η πλεονάζουσα ενέργεια ώστε να προλαβαίνονται οι ανακλάσεις. Η πιο αποδεκτή τεχνική είναι η τοποθέτηση περιορισμών στις διασυνδέσεις. Ένας τρόπος είναι η επιμονή στο μέγεθός τους, δηλαδή να είναι πολύ μικρές σε σχέση με το χρόνο ανόδου. Εάν το σύρμα διασύνδεσης είναι τόσο μικρό, ώστε οι ανακλάσεις να έχουν επιστρέψει ενώ το σήμα ανεβαίνει ακόμα, το αποτέλεσμα είναι μόνο μια κάπως πιο αργή και "ανώμαλη" ακμή ανόδου.

Εάν όμως η ανάκλαση επιστρέψει *μετά* την ακμή ανόδου, δεν παράγει μόνο μια τροποποίηση της αρχικής ακμής, αλλά και *ένα δεύτερο ανεξάρτητο γεγονός*. Αυτό είναι προφανώς πολύ άσχημο! Μπαίνει συνεπώς ο περιορισμός του ότι ο χρόνος που χρειάζεται το σήμα για να πάει από την άκρη μιας γραμμής στην άλλη και να επιστρέψει πρέπει να είναι λιγότερος από το χρόνο ανόδου του οδηγούντος σήματος, κατά έναν παράγοντα, ας πούμε 5. Έτσι, για ένα σήμα με χρόνο ανόδου 1 ns και με ταχύτητα μετάδοσης την ταχύτητα του φωτός (30 cm/ns) επιτρέπεται μόνο ένα διπλό μονοπάτι 0.2 ns ισοδύναμου μήκους ή 6 cm, δηλαδή 3 cm από τη μία άκρη στην άλλη.

Αυτός είναι ο περιορισμός για την ECL 100 K. Ωστόσο η ECL 10K έχει σκόπιμα μεγαλύτερο χρόνο ανόδου, 3.5 ns. Χρησιμοποιώντας τους ίδιους κανόνες, τα σύρματα διασύνδεσης μπορούν να έχουν μήκος μέχρι 10 cm για την ECL 10K.

Εάν χρειάζονται μεγαλύτερα μήκη, τότε πρέπει να χρησιμοποιήσουμε

γραμμές μεταφοράς. Αυτές είναι απλά σύρματα σε ελεγχόμενο περιβάλλον, για τα οποία η απόσταση από μια γείωση αναφοράς (ground reference plane) ή ένα δεύτερο σύρμα είναι απόλυτα ελεγχόμενη. Ετσι, μπορεί να είναι απλά ένα ζευγάρι καλωδίων που έχουν στριφτεί μαζί, ένα από τα οποία είναι γειωμένο, ή ταινίες παράλληλων συρμάτων, από τα οποία κάθε δεύτερο είναι γειωμένο, ή γραμμές πάνω σ' ένα τυπωμένο κύκλωμα (PC board). Τα τελευταία είναι στενές λωρίδες χαλκού ελεγχόμενου γεωμετρικού σχήματος πάνω σε μια πλευρά μιας τυπωμένης πλακέτας, της οποίας η άλλη μεριά είναι γειωμένη.

Τέτοιες γραμμές μεταφοράς έχουν χαρακτηριστική σύνθετη αντίσταση R_0 , η οποία κυμαίνεται από μερικές δεκάδες ohm σε εκατοντάδες ohm. Τα σήματα σε τέτοιες γραμμές μεταδίδονται κάπως πιο αργά από την ταχύτητα του φωτός, ίσως δύο φορές πιο αργά. Όταν μια γραμμή μεταφοράς τερματίζεται στην άκρη του αποδέκτη της με μια αντίσταση ίση με τη χαρακτηριστική σύνθετη αντίστασή της R_0 όλη η ενέργεια που έχει σταλεί στη γραμμή απορροφάται στην άκρη του αποδέκτη και δεν υπάρχουν ανακλάσεις. Ετσι διατηρείται η ακεραιότητα του σήματος. Λέμε ότι αυτές οι γραμμές μεταφοράς είναι σωστά τερματισμένες. Μια σωστά τερματισμένη γραμμή εμφανίζεται στην άκρη που στέλνει το σήμα ως μια αντίσταση με τιμή R_0 . Οι ακόλουθοι ECL 10K με τους ανοικτούς εκπομπούς τους και τις χαμηλές αντιστάσεις εξόδου (με μέγιστη τιμή 7 Ω) είναι ιδανικοί για να οδηγούν γραμμές μεταφοράς. Τα ECL είναι επίσης καλά και σαν αποδέκτες. Η απλή πύλη με την υψηλή pull-down αντίσταση εισόδου (50 k Ω) αντιπροσωπεύει μια μεγάλη αντίσταση για τη γραμμή. Ετσι, μερικές τέτοιες πύλες μπορούν να συνδεθούν σε μια τερματισμένη γραμμή χωρίς προβλήματα.

Περισσότερες λεπτομέρειες για το θέμα της μετάδοσης λογικών σημάτων σε ECL μπορείτε να βρείτε στο Taub και Schilling (1977) και Motorola (1988).

Κατανάλωση Ισχύος

Επειδή η ECL είναι βασισμένη στο διαφορικό στάδιο, το ρεύμα της πύλης παραμένει περίπου σταθερό και ανάλογα με τα σήματα εισόδου οδηγείται είτε στη μια μεριά της πύλης είτε στην άλλη. Ετσι, αντίθετα με τα TTL το ρεύμα τροφοδοσίας και συνεπώς η κατανάλωση ισχύος της πύλης των μη τερματιζόμενων ECL παραμένουν σχετικά σταθερά ανεξάρτητα από τη λογική κατάσταση της πύλης. Δεν υπάρχουν λοιπόν σπινθήρες τάσης στη γραμμή τροφοδοσίας. Τέτοιοι σπινθήρες είναι μια επικίνδυνη πηγή θορύβου σε ψηφιακό σύστημα, όπως εξηγήσαμε στα TTL. Συνεπάγεται λοιπόν ότι για τα ECL η ανάγκη να παρακάμψουμε τη γραμμή τροφοδοσίας δεν είναι τόσο μεγάλη όσο στα TTL. Αυτό είναι ένα ακόμη πλεονέκτημα των ECL.

Στο σημείο αυτό πρέπει να αναφέρουμε ότι, αν και μια πύλη ECL θα λειτουργούσε με $V_{EE} = 0$ και $V_{CC} = +5.2$ V, συνιστάται η επιλογή $V_{EE} = -$

5.2 V και $V_{CC} = 0$ V επειδή στο κύκλωμα όλα τα επίπεδα σήματος αναφέρονται στο V_{CC} και η γη είναι προφανώς μια πολύ καλύτερη αναφορά.

Άσκηση

14.31 Για την πύλη ECL του Σχήματος 14.36 υπολογίστε μια προσεγγιστική τιμή για την ισχύ που καταναλώνεται στο κύκλωμα με τη συνθήκη ότι όλες οι είσοδοι είναι χαμηλά και οι εκπομποί των ακολούθων της εξόδου είναι ανοικτοί. Υποθέστε ότι το κύκλωμα αναφοράς τροφοδοτεί τέσσερες ολοίδιες πύλες και συνεπώς μόνο ένα τέταρτο της ισχύος που καταναλώνεται στο κύκλωμα αναφοράς χρεώνεται στην πύλη.

Απ 22.4 mW

Θερμικά Φαινόμενα

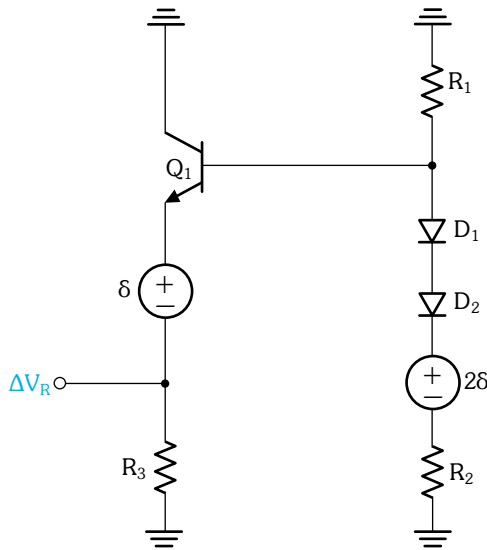
Στην ανάλυση της πύλης ECL του Σχήματος 14.36 βρήκαμε ότι σε θερμοκρασία δωματίου η τάση αναφοράς V_R είναι -1.32 V. Δείξαμε επίσης ότι το μέσο σημείο της διακύμανσης της εξόδου είναι περίπου ίσο με αυτήν την τάση, η οποία αποτελεί ιδανική κατάσταση καθώς αποδίδει ίσα χαμηλά και υψηλά περιθώρια θορύβου. Στο Παράδειγμα 14.2 θα βρούμε σχέσεις για τους συντελεστές θερμοκρασίας της τάσης αναφοράς και των τάσεων εξόδου υψηλού και χαμηλού επιπέδου. Ετσι θα δείξουμε ότι το μέσο σημείο της διακύμανσης της εξόδου ποικίλλει με τη θερμοκρασία με τόν ίδιο ρυθμό όπως η τάση αναφοράς με αποτέλεσμα, παρ' όλο που τα μεγέθη των περιθωρίων θορύβου για το 1 και το 0 αλλάζουν με τη θερμοκρασία, οι τιμές τους να παραμένουν ίσες. Αυτό είναι ένα πρόσθετο πλεονέκτημα των ECL και μια επίδειξη του βαθμού βελτιστοποίησης του σχεδιασμού αυτού του κυκλώματος.

ΠΑΡΑΔΕΙΓΜΑ 14.2

Θέλουμε να υπολογίσουμε το συντελεστή θερμοκρασίας της τάσης αναφοράς V_R και του μέσου σημείου μεταξύ V_{OL} και V_{OH} .

Λύση

Για να υπολογίσουμε το συντελεστή θερμοκρασίας της V_R θεωρούμε το κύκλωμα του Σχήματος A14.27 και υποθέτουμε ότι η θερμοκρασία αλλάζει κατά $+1^\circ\text{C}$. Συμβολίζοντας το συντελεστή θερμοκρασίας της πτώσης τάσης στη δίοδο και το τρανζίστορ με δ , όπου $\delta \approx -2$ mV/ $^\circ\text{C}$, παίρνουμε το ισοδύναμο κύκλωμα που εικονίζεται στο Σχήμα 14.43. Στο κύκλωμα αυτό οι μεταβολές στις πτώσεις τάσης των στοιχείων θεωρούνται σήματα και συνεπώς η τροφοδοσία εικονίζεται ως γη, όσον αφορά τα σήματα.



Σχ. 14.43 Ισοδύναμο κύκλωμα για τον υπολογισμό του συντελεστή θερμοκρασίας της τάσης αναφοράς V_R .

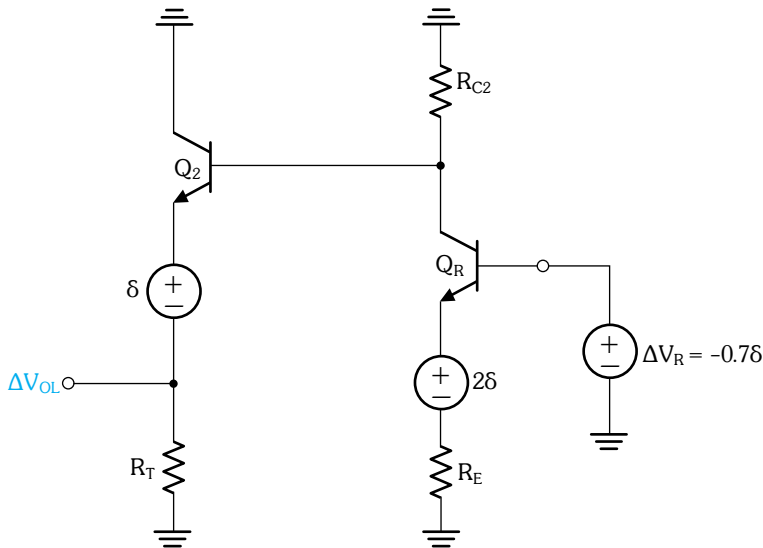
Στο κύκλωμα του Σχήματος 14.43 έχουμε δύο γεννήτριες σήματος και θέλουμε να αναλύσουμε το κύκλωμα για να υπολογίσουμε το ΔV_R , δηλαδή τη μεταβολή στο V_R . Αυτό θα γίνει χρησιμοποιώντας την αρχή της υπέρθεσης. Θεωρούμε πρώτα τον κλάδο R_1 , D_1 , D_2 , 2δ και R_2 και αμελούμε το σήμα από το ρεύμα βάσης του Q_1 . Το σήμα τάσης στη βάση του Q_1 μπορεί εύκολα να υπολογιστεί από

$$v_{b1} = \frac{2\delta \times R_1}{R_1 + r_{d1} + r_{d2} + R_2}$$

όπου r_{d1} και r_{d2} είναι οι αντιστάσεις (incremental resistances) των διόδων D_1 και D_2 αντίστοιχα. Το ρεύμα πόλωσης i_c μέσα από τις D_1 και D_2 είναι περίπου 0.64 mA και συνεπώς $r_{d1} = r_{d2} = 39.5 \Omega$. Άρα $v_{b1} \approx 0.3\delta$. Επειδή το κέρδος του ακόλουθου εκπομπού Q_1 είναι περίπου μονάδα, συνεπάγεται ότι το τμήμα της ΔV_R που οφείλεται στη γεννήτρια 2δ είναι περίπου ίσο με v_{b1} , δηλαδή $\Delta V_{R1} = 0.3\delta$.

Ας θεωρήσουμε στη συνέχεια το τμήμα της ΔV_R που οφείλεται στη γεννήτρια δ . Η ανάκλαση της συνολικής αντίστασης του κυκλώματος βάσης, $[R_1 \parallel (r_{d1} + r_{d2} + R_2)]$, προς το κύκλωμα εκπομπού, με διαίρεση διά $\beta+1$ ($\beta \approx 100$) δίνει τη συνιστώσα της ΔV_R :

$$\Delta V_{R2} = \frac{\delta \times R_3}{[R_B/(\beta+1)] + r_{e1} + R_3}$$



Σχ. 14.44 Ισοδύναμο κύκλωμα για τον υπολογισμό του συντελεστή θερμοκρασίας της V_{OL} .

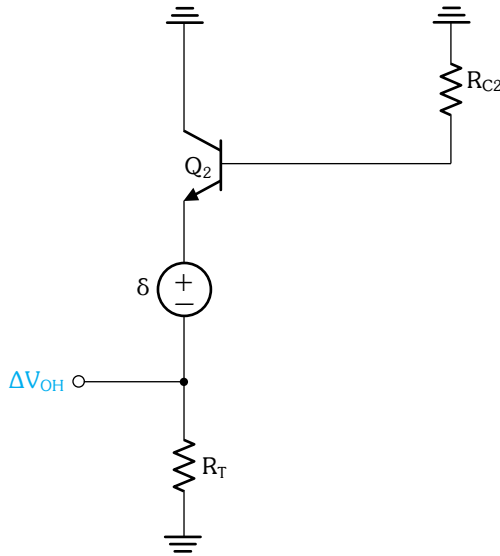
όπου R_B παριστάνει τη συνολική αντίσταση στο κύκλωμα βάσης και η r_{e1} παριστάνει την αντίσταση εκπομπού του Q_1 ($\approx 40 \Omega$). Ο υπολογισμός αυτός δίνει $\Delta V_R \approx -\delta$. Προσθέτοντας αυτή την τιμή σ' εκείνη που οφείλεται στη γεννήτρια 2δ έχουμε $\Delta V_R \approx -0.7\delta$. Έτσι, για $\delta = -2 \text{ mV}/^\circ\text{C}$ ο συντελεστής θερμοκρασίας της V_R είναι $+1.4 \text{ mV}/^\circ\text{C}$.

Στη συνέχεια υπολογίζουμε το συντελεστή θερμοκρασίας της V_{OL} . Το κύκλωμα πάνω στο οποίο πραγματοποιούμε την ανάλυση εικονίζεται στο Σχήμα 14.44. Εδώ έχουμε τρεις γεννήτριες των οποίων οι συνεισφορές μπορούν να ληφθούν υπόψη ξεχωριστά και να προστεθούν τα αντίστοιχα συστατικά της ΔV_{OL} . Το αποτέλεσμα είναι

$$\begin{aligned} \Delta V_{OL} \approx & \Delta V_R \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}} \\ & - \delta \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}} \\ & - \delta \frac{R_T}{R_T + r_{e2} + R_{C2}/(\beta + 1)} \end{aligned}$$

Αντικαθιστώντας τις τιμές που δόθηκαν και εκείνες που πήραμε από την ανάλυση βρίσκουμε ότι $\Delta V_{OL} \approx -0.43\delta$.

Το κύκλωμα που χρειάζεται για να υπολογίσουμε το συντελεστή θερμοκρασίας της V_{OH} εικονίζεται στο Σχήμα 14.45. Από αυτό παίρνουμε



Σχ. 14.45 Ισοδύναμο κύκλωμα για τον υπολογισμό του συντελεστή θερμοκρασίας της V_{OH} .

$$\Delta V_{OH} = -\delta \frac{R_T}{R_T + r_{e2} + R_{C2}/(\beta + 1)} \approx -0.93\delta$$

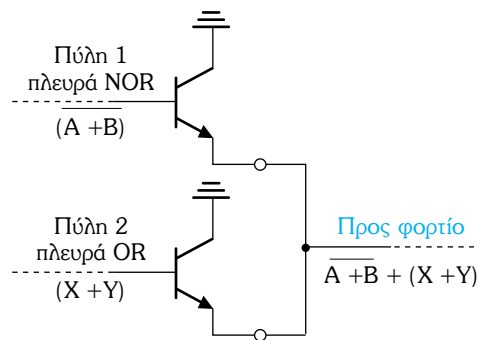
Μπορούμε τώρα να υπολογίσουμε τη μεταβολή του μέσου σημείου της λογικής διακύμανσης

$$\frac{\Delta V_{OL} + \Delta V_{OH}}{2} = -0.68\delta$$

που είναι περίπου ίση με εκείνη της τάσης αναφοράς V_R (-0.7δ).

Η Δυνατότητα Καλωδιωμένου OR (Wired-OR)

Το στάδιο εξόδου του ακολούθου εκπομπού της οικογένειας πυλών ECL επιτρέπει την πραγματοποίηση ενός πρόσθετου λογικού επιπέδου με πολύ μικρό κόστος με την απλή παράλληλη διασύνδεση των εξόδων πολλών πυλών μαζί. Αυτό εικονίζεται στο Σχήμα 14.46 όπου οι εξοδοί δύο πυλών έχουν καλωδιωθεί μαζί. Να σημειώσουμε ότι οι δίοδοι βάσης-εκπομπού των ακολούθων της εξόδου παρέχουν τη λειτουργία μιας σαφούς λογικής συνάρτησης OR: αυτή η σύνδεση **καλωδιωμένου OR** μπορεί να χρησιμοποιηθεί για να μας δώσει πύλες που έχουν υψηλό fan-in καθώς και να αυξήσει την ευελιξία χρήσης της ECL στη λογική σχεδίαση.



Σχ. 14.46 Η δυνατότητα καλωδιωμένου OR των ECL.

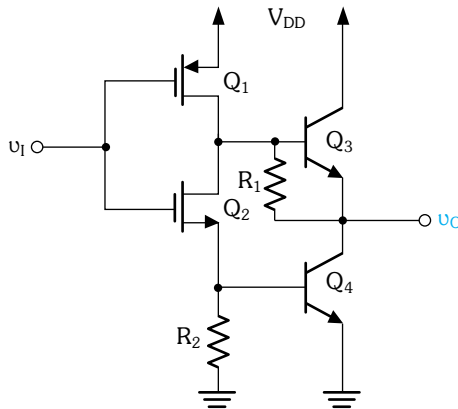
Τελική Παρατήρηση

Η λογική οικογένεια ECL έχει εφαρμοσθεί με επιτυχία στο σχεδιασμό ψηφιακών τηλεπικοινωνιακών συστημάτων υψηλής ταχύτητας και στο σχεδιασμό υπολογιστικών συστημάτων. Εφαρμόζεται επίσης στο σχεδιασμό κυκλωμάτων LSI και VLSI.

14.7 ΨΗΦΙΑΚΑ ΚΥΚΛΩΜΑΤΑ BiCMOS

Κλείνουμε τη μελέτη των ψηφιακών κυκλωμάτων με μια σύντομη εισαγωγή σε μια τεχνολογία VLSI, που έχει αρχίσει να γίνεται όλο και πιο δημοφιλής, την τεχνολογία BiCMOS. Όπως φαίνεται και από το όνομά της, η τεχνολογία BiCMOS συνδυάζει διπολικά και CMOS κυκλώματα στο ίδιο τσίπ ολοκληρωμένου κυκλώματος. Τα κυκλώματα αυτά διατηρούν τη χαμηλή ισχύ, την υψηλή σύνθετη αντίσταση εισόδου και τα μεγάλα περιθώρια θορύβου των CMOS (Κεφάλαιο 13), αλλά και την ικανότητα οδήγησης μεγάλων ρευμάτων καθώς και τη μεγάλη ταχύτητα λειτουργίας των διπολικών τρανζίστορ. Το αποτέλεσμα είναι μια τεχνολογία κυκλωμάτων που είναι ικανή να υλοποιήσει πολύ πυκνά, γρήγορα και χαμηλής ισχύος ψηφιακά ολοκληρωμένα κυκλώματα. Επιπλέον, επειδή η τεχνολογία BiCMOS είναι κατάλληλη για την υλοποίηση αναλογικών κυκλωμάτων μεγάλων απαιτήσεων (Ενότητες 6.8 και 10.8), καθίσταται εφικτή η υλοποίηση αναλογικών και ψηφιακών λειτουργιών πάνω στο ίδιο τσίπ, κάνοντας πια το "ένα σύστημα πάνω σ' ένα τσίπ" εφικτό στόχο.

Ο βασικός λογικός αντιστροφέας BiCMOS εικονίζεται στο Σχήμα 14.47. Αποτελείται από έναν αντιστροφέα CMOS, που σχηματίζεται από τα τρανζίστορ Q_1 και Q_2 και ένα διπολικό στάδιο εξόδου, που σχηματίζεται από τα τρανζίστορ Q_3 και Q_4 μαζί με τις αντιστάσεις R_1 και R_2 . Για να δούμε πώς λειτουργεί ο λογικός αντιστροφέας BiCMOS θεωρούμε πρώτα την περίπτωση όπου η τάση εισόδου v_i είναι στο χαμηλό επίπεδο στα 0 V. Το



Σχ. 14.47 Ο βασικός αντιστροφέας BiCMOS.

τρανζίστορ Q_2 θα είναι αποκομμένο και δε θα περνάει ρεύμα στη βάση του Q_4 . Η αντίσταση R_2 μηδενίζει την τάση στη βάση του Q_4 οπότε και το Q_4 θα είναι αποκομμένο. Το τρανζίστορ PMOS Q_1 θα άγει, δημιουργώντας ένα αγώγιμο κανάλι χαμηλής σύνθετης αντίστασης μεταξύ της βάσης του Q_3 και της V_{DD} . Τώρα, αν ο ακροδέκτης εξόδου της πύλης είναι ανοικτοκυκλωμένος, δε θα περνάει ρεύμα από το Q_3 ή την R_1 και συνεπώς δε θα περνάει ρεύμα από το Q_1 . Άρα η πτώση τάσης πάνω στο Q_1 θα είναι περίπου μηδέν και η αντίσταση R_1 θα κάνει την τάση στην έξοδο της πύλης ίση με V_{DD} . Έτσι η αντίσταση R_1 έτσι θα λειτουργεί ως αντίσταση pull-up με αποτέλεσμα $V_{OH} = V_{DD}$.

Αν όμως ο ακροδέκτης εξόδου της πύλης πρέπει να δίνει ρεύμα σε κάποιο φορτίο όπως για παράδειγμα, για να φορτίσει μια χωρητικότητα φορτίου κατά τη διάρκεια μετάβασης της εξόδου από το χαμηλό στο υψηλό επίπεδο, το τρανζίστορ Q_3 άγει και λειτουργεί ως ακόλουθος εκπομπού, παρέχοντας στην πύλη χαμηλή αντίσταση εξόδου και δυνατότητα οδήγησης μεγάλου ρεύματος. Στην περίπτωση αυτή το τρανζίστορ Q_1 δίνει στο Q_3 το ρεύμα βάσης που του χρειάζεται, το οποίο ενισχύεται από το κέρδος ρεύματος β του Q_3 . Το μεγάλο ρεύμα που προκύπτει από το Q_3 χρησιμεύει για να φορτίσει τη χωρητικότητα φορτίου πολύ γρήγορα, μειώνοντας πολύ την καθυστέρηση t_{PLH} .

Ας θεωρήσουμε στη συνέχεια την περίπτωση όπου η u_1 πηγαίνει ψηλά στο V_{DD} . Τότε το τρανζίστορ Q_1 αποκόπτεται και το Q_2 αρχίζει να άγει. Το ρεύμα υποδοχής του Q_2 συμβάλλει στην αφαίρεση του φορτίου από τη βάση του Q_3 , το οποίο γρήγορα αποκόπτεται. Το τρανζίστορ Q_2 τροφοδοτεί το Q_4 με ρεύμα βάσης, οπότε το Q_4 αρχίζει να άγει. Επειδή η χωρητικότητα φορτίου στον ακροδέκτη εξόδου διατηρεί την τάση συλλέκτη του Q_4 ψηλά, το Q_4 λειτουργεί στην ενεργό περιοχή, παρέχοντας έτσι ένα μεγάλο ρεύμα εξόδου που εκφορτίζει γρήγορα τη χωρητικότητα φορτίου, με αποτέ-

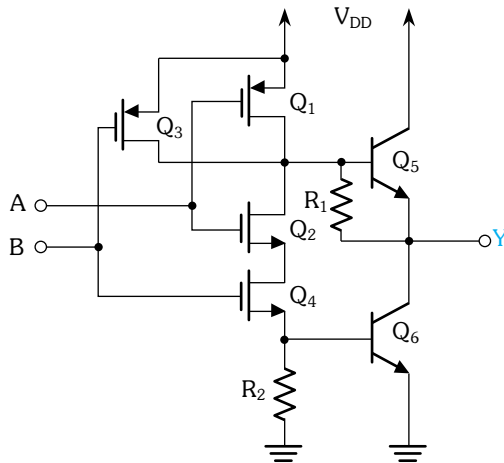
λεσμα μια μικρή καθυστέρηση t_{PHL} . Με τη χωρητικότητα φορτίου εκφορτισμένη και υποθέτοντας ότι δεν έχουμε φορτίο σε dc, τα ρεύματα στα Q_4 και Q_2 είναι περίπου μηδέν. Βλέπουμε τότε ότι το μονοπάτι μέσα από την R_1 , το αγώγιμο κανάλι του Q_2 και την R_2 , τραβάει την τάση της εξόδου προς το επίπεδο της γης, με αποτέλεσμα $V_{OL} = 0$. Αν η v_1 πάει πάλι στο χαμηλό επίπεδο, το Q_2 αποκόπτεται, το φορτίο βάσης του Q_4 διαρρέει προς τη γη μέσα από την R_2 και η πύλη επανέρχεται στην κατάσταση υψηλής εξόδου που περιγράψαμε προηγουμένως.

Βλέπουμε λοιπόν πως ο αντιστροφείας BiCMOS παρουσιάζει τη μεγάλη διακύμανση τάσης εξόδου των CMOS, την ικανότητα οδήγησης μεγάλων ρευμάτων και τις αντίστοιχα μικρές καθυστερήσεις μετάδοσης που είναι χαρακτηριστικές των BJT. Επίσης η πύλη αυτή έχει σχεδόν μηδενική κατανάλωση ισχύος στις δύο καταστάσεις της και περίπου άπειρη αντίσταση εισόδου. Το κύκλωμα BiCMOS παρουσιάζει μεγαλύτερη ταχύτητα λειτουργίας από αυτήν που μπορεί να πετύχει κανείς με CMOS και χαμηλότερη κατανάλωση ισχύος από αυτήν που μπορούμε να πετύχουμε στα διπολικά κυκλώματα. Η BiCMOS συνδυάζει λοιπόν τα καλύτερα στοιχεία των δύο συστατικών τεχνολογιών της. Το μόνο μειονέκτημα της BiCMOS είναι η κάπως πολύπλοκη κατασκευαστική διαδικασία, η οποία κάνει το κόστος κατασκευής ανά πύλη μεγαλύτερο απ' ό,τι αυτό των τεχνολογιών CMOS. Το αυξημένο κόστος όμως αντισταθμίζεται από τη δυνατότητα να υλοποιούμε υπερσύγχρονα κυκλώματα επιπέδου και επιδόσεων ανέφικτων με άλλα μέσα.

Με fan-out μηδενικό η καθυστέρηση μιας πύλης BiCMOS είναι τυπικά 1 ns, κάπως μεγαλύτερη από εκείνη της CMOS. Το πλεονέκτημα στην ταχύτητα των BiCMOS γίνεται φανερό, όταν η πύλη χρειάζεται να οδηγήσει άλλες. Για παράδειγμα, για fan-out 10 η χρονική καθυστέρηση μιας πύλης BiCMOS είναι ακόμα κοντά στο 1 ns ενώ εκείνη της πύλης CMOS είναι διπλάσια.

Προτού αφήσουμε το βασικό κύκλωμα αντιστροφείας πρέπει να κάνουμε δύο σχόλια. Πρώτον η παραπάνω περιγραφή της λειτουργίας της πύλης είναι υπεραπλουστευμένη με σκοπό να εστιάσουμε την προσοχή μας στα εξέχοντα χαρακτηριστικά των BiCMOS. Συγκεκριμένα υποθέσαμε ότι τα διπολικά στοιχεία λειτουργούν στην ενεργό περιοχή κατά τη διάρκεια της μεταγωγής της πύλης. Στην πραγματικότητα η αντίσταση της περιοχής του συλλέκτη καθενός BJT (περίπου 100 Ω) το οδηγεί στον κόρο περιορίζοντας το ρεύμα συλλέκτη σε μια τιμή κατώτερη του βI_B . Δεύτερον, σε μια πραγματική πύλη BiCMOS οι R1 και R2 υλοποιούνται χρησιμοποιώντας τρανζίστορ MOS (βλ. Deierling, 1989).

Εφόσον η λογική λειτουργία του κυκλώματος αντιστροφείας BiCMOS πραγματοποιείται από τον αντιστροφείας CMOS που σχηματίζεται από τα Q1 και Q2, μπορούμε να σχηματίσουμε λογικά κυκλώματα με τον ίδιο τρόπο όπως κάναμε στα CMOS στην Ενότητα 13.6. Για παράδειγμα, το Σχήμα



Σχ. 14.48 Πύλη NAND BiCMOS. Η έξοδος Y είναι χαμηλά μόνον όταν τα A και B είναι ταυτόχρονα ψηλά : $\bar{Y} = AB$, που γράφεται και ως $Y = \overline{AB}$.

14.48 εικονίζει το κύκλωμα μιας πύλης NAND δύο εισόδων.

Η τεχνολογία BiCMOS εφαρμόζεται σήμερα σε μια μεγάλη κλίμακα προϊόντων, που περιλαμβάνει μικροεπεξεργαστές, στατικές RAM και gate arrays (βλ. Alvarez 1989).

Άσκηση

Σ14.32 Η τάση κατωφλίου του αντιστροφέα BiCMOS του Σχήματος 14.47 είναι η τιμή της v_1 στην οποία και το Q_1 και το Q_2 άγουν ίσα ρεύματα και λειτουργούν στην περιοχή κόρου. Για την τιμή αυτή της v_1 το Q_4 θα άγει, προκαλώντας την τάση στην πηγή του Q_2 να πάρει την τιμή 0.7 V περίπου. Πρέπει να σχεδιάσουμε το κύκλωμα έτσι ώστε η τάση κατωφλίου να είναι ίση με $V_{DD}/2$. Για $V_{DD} = 5$ V, $|V_t| = 0.6$ V και υποθέτοντας ίσα μήκη καναλιού για τα Q_1 και Q_2 και ότι $\mu_n \approx 2.5 \mu_p$ βρείτε τον απαιτούμενο λόγο πλατών W_2/W_1 .

Απ. 1

ΠΕΡΙΛΗΨΗ

◆ Το μοντέλο Ebers–Moll είναι βασισμένο στο γεγονός ότι το διπολικό τρανζίστορ (BJT) αποτελείται από δύο ενώσεις pn: την ένωση εκπομπού–βάσης, που έχει ρεύμα κόρου I_{SE} και την ένωση συλλέκτη–βάσης, που έχει ρεύμα κόρου I_{SC} . Το ρεύμα I_{SC} είναι συνήθως 2 με 50 φορές μεγαλύτερο από το I_{SE} .

◆ Παρόλο που το ορθό α , α_F , είναι κοντά στη μονάδα, το ανάστροφο α , α_R είναι 0.02 με 0.5.

- ◆ Για μικρά ρεύματα συλλέκτη ένα κορεσμένο τρανζίστορ έχει $V_{CEsat} \approx 0.1$ V.
- ◆ Μπορούμε να πετύχουμε τάσεις κόρου της τάξης του κλάσματος του millivolt όταν λειτουργούμε το τρανζίστορ στην ανάστροφη περιοχή κόρου.
- ◆ Προτού αρχίσει να αποκόπτεται ένα κορεσμένο τρανζίστορ, το επιπλέον φορτίο, που είναι αποθηκευμένο στη βάση του, πρέπει να απομακρυνθεί. Ο χρόνος αποθήκευσης μπορεί να συρρικνωθεί αποφεύγοντας τη μετάβαση του τρανζίστορ βαθιά στον κόρο και όταν κανονίσουμε να περάσει ένα ανάστροφο ρεύμα βάσης. Σε μεγάλες ταχύτητες η λειτουργία στην περιοχική κόρου πρέπει να αποφεύγεται εντελώς.
- ◆ Η λογική Τρανζίστορ-Τρανζίστορ (TTL) εξελίχθηκε από τη λογική Διόδου-Τρανζίστορ (DTL).
- ◆ Η πύλη TTL αποτελείται από τρία μέρη: το στάδιο εισόδου που υλοποιεί τη λογική συνάρτηση AND και χρησιμοποιεί είτε ένα τρανζίστορ πολλαπλού εκπομπού (στην κλασική TTL) είτε διόδους Schottky (σε πιο σύγχρονες μορφές TTL), το διαχωριστή φάσης που δημιουργεί ένα ζευγάρι συμπληρωματικών σημάτων για να οδηγήσει το στάδιο εξόδου και το στάδιο εξόδου που χρησιμοποιεί τη συνδεσμολογία τοτέμ και πραγματοποιεί τη λειτουργία της λογικής αντιστροφής. Η βασική πύλη υλοποιεί τη λογική συνάρτηση NAND.
- ◆ Στην κλασική TTL, όταν η είσοδος της πύλης κατεβαίνει χαμηλά, το τρανζίστορ πολλαπλού εκπομπού λειτουργεί στην κανονική ενεργό περιοχή και παράγει ένα μεγάλο ρεύμα συλλέκτη για να εκφορτίσει γρήγορα τη βάση του διαχωριστή φάσης.
- ◆ Το στάδιο εξόδου τοτέμ αποτελείται από ένα τρανζίστορ κοινού εκπομπού, το οποίο μπορεί να τραβήξει μεγάλα ρεύματα φορτίου και συνεπώς να εκφορτίσει γρήγορα τη χωρητικότητα φορτίου και έναν ακόλουθο εκπομπού, ο οποίος μπορεί να γίνει πηγή μεγάλων ρευμάτων φορτίου και έτσι να φορτίσει γρήγορα τη χωρητικότητα φορτίου.
- ◆ Για να αυξήσουμε την ταχύτητα των TTL εμποδίζουμε την είσοδο των τρανζίστορ στην περιοχική κόρου. Αυτό επιτυγχάνεται με τη σύνδεση μιας διόδου Schottky μεταξύ βάσης και συλλέκτη. Οι διόδους Schottky σχηματίζονται υπό την μορφή ενώσεων μετάλλου προς ημιαγωγό και παρουσιάζουν χαμηλές πτώσεις τάσης ορθής πόλωσης. Η διάδος Schottky μετακινεί λίγο από το ρεύμα βάσης του BJT και έτσι το κρατάει μακριά από τον κόρο.
- ◆ Η πιο σύγχρονη τεχνολογία TTL εκπροσωπείται από τα προχωρημένα Schottky TTL που έχουν $t_p = 1.5$ ns, $P_D = 20$ mW και $DP = 30$ pJ. Επίσης από τα προχωρημένα Schottky TTL χαμηλής ισχύος που έχουν $t_p = 4$ ns,

$P_D = 1 \text{ mW}$ και $DP = 4 \text{ pJ}$.

- ◆ Η λογική ζεύξης εκπομπού (ECL) είναι η πιό γρήγορη οικογένεια λογικών κυκλωμάτων. Πετυχαίνει τη μεγάλη ταχύτητα λειτουργίας της, αποφεύγοντας τον κορεσμό των τρανζίστορ και χρησιμοποιώντας μικρές διακυμάνσεις στα λογικά σήματα.
- ◆ Στην ECL τα σήματα εισόδου χρησιμοποιούνται για να οδηγήσουν ένα σταθερό ρεύμα πόλωσης μεταξύ ενός τρανζίστορ αναφοράς και ενός τρανζίστορ εισόδου. Η βασική τοπολογία του κυκλώματος είναι εκείνη του διαφορικού ενισχυτή.
- ◆ Υπάρχουν δύο δημοφιλείς μορφές ECL: η ECL 10K που έχει $t_p = 2 \text{ ns}$, $P_D = 25 \text{ mW}$ και $DP = 50 \text{ pJ}$ και η ECL 100K που έχει $t_p = 0.75 \text{ ns}$, $P_D = 40 \text{ mW}$ και $DP = 30 \text{ pJ}$. Η ECL 10K είναι πιό εύκολη στη χρήση επειδή οι χρόνοι ανόδου και πτώσης των λογικών της σημάτων έχουν γίνει επίτηδες μεγάλοι (περίπου 3.5 ns).
- ◆ Επειδή τα ECL λειτουργούν σε πολύ μεγάλες ταχύτητες, πρέπει να προσέξουμε όταν ενώνουμε την έξοδο μιας πύλης στην είσοδο μιας άλλης. Συνήθως χρησιμοποιούμε τεχνικές γραμμών μεταφοράς.
- ◆ Η σχεδίαση μιας πύλης ECL βελτιστοποιείται έτσι ώστε τα περιθώρια θορύβου να είναι ίσα και να παραμένουν ίσα καθώς αλλάζει η θερμοκρασία.
- ◆ Η πύλη ECL παρέχει δύο συμπληρωματικές εξόδους, πραγματοποιώντας τις λογικές συναρτήσεις OR και NOR.
- ◆ Οι εξοδοί των πυλών ECL μπορούν να συνδεθούν μαζί για να πραγματοποιήσουν τη λογική συνάρτηση OR μεταξύ των μεταβλητών εξόδου.
- ◆ Η τεχνολογία BiCMOS συνδυάζει τη χαμηλή κατανάλωση ισχύος και τα μεγάλα περιθώρια θορύβου των CMOS με την δυνατότητα διοχέτευσης μεγάλων ρευμάτων και τις επακόλουθες μικρές καθυστερήσεις πύλης των διπολικών, για την επίτευξη μιας τεχνολογίας που είναι ικανή να υλοποιεί πολύ πυκνά, χαμηλής κατανάλωσης και μεγάλης ταχύτητας λογικά κυκλώματα VLSI, που μπορούν να περιλαμβάνουν και αναλογικές λειτουργίες.

ΒΙΒΛΙΟΓΡΑΦΙΑ

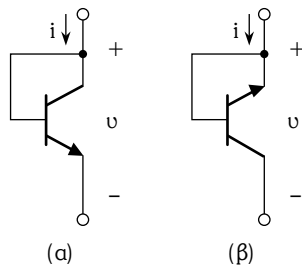
- A. R. Alvarez, (Ed.), *BiCMOS Technology and Applications*, Boston: Kluwer Academic Publishers, 1989.
- K. Deierling, "Digital Design", Chapter 5 in *BiCMOS Technology and Applications*, A. R. Alvarez, (Ed.), Boston: Kluwer Academic Publishers, 1989.
- Fairchild, *TTL Data Book*, Mountain View, Calif.: Fairchild Camera and

- Instrument Corp., Dec. 1978.
- L.S. Garrett, "Integrated-circuit digital logic families", three-part article published in *IEEE Spectrum*, Oct. , Nov. and Dec. 1970.
- I. Getreu, *Modeling the Bipolar Transistor*, Beaverton, Ore.: Tektronix Inc. , 1976.
- J.N. Harris, P.E. Gray και C.L. Searle, *Digital Transistor Circuits*, Vol. 6 of the SEEC series, New York: Wiley, 1966.
- D.A. Hodges και H.G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2nd. ed. New York: McGraw-Hill, 1988.
- IEEE Journal of Solid-State Circuits*. Το τεύχος του Οκτωβρίου κάθε χρόνου είναι αφιερωμένο στα ψηφιακά κυκλώματα.
- J. Millman και H. Taub, *Pulse, Digital, and Switching Waveforms*, chap. 20, New York: McGraw-Hill, 1965.
- Motorola, *MECL System Design Handbook*, Phoenix Ariz: Motorola Semiconductor Products Inc., 1988.
- Motorola, *MECL Device Data*, Phoenix Ariz: Motorola Semiconductor Products Inc., 1989.
- L. Strauss, *Wave Generation and Shaping*, 2nd. ed. New York: McGraw-Hill, 1970.
- H. Taub και D. Schilling, *Digital Integrated Electronics*, New York: McGraw-Hill, 1977.
- Texas Instruments Staff, *Designing with TTL Integrated Circuits*, New York: McGraw-Hill, 1971.
- R.L. Treadway, "DC analysis of current-mode logic", *IEEE Circuits and Devices*, vol. 5, no. 2, pp. 21-35, Mar. 1989.
- G.R. Wilson, "Advances in bipolar VLSI", *Proceedings of the IEEE*, Vol. 78, No. 11. pp. 1707-1719, November 1990.

ΠΡΟΒΛΗΜΑΤΑ

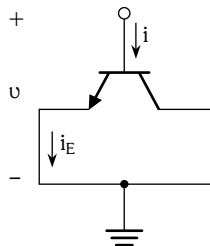
Ενότητα 14.1: Το Διπολικό Τρανζίστορ ως Ψηφιακό Κυκλωματικό Στοιχείο

- 14.1** Επαναλάβετε την Ασκήση 14.1 για τρανζίστορ που έχει $\alpha_R = 0.5$.
- 14.2** Ένα τρανζίστορ, που χαρακτηρίζεται από το μοντέλο Ebers-Moll που εικονίζεται στο Σχήμα 14.1, λειτουργεί με τον εκπομπό και το συλλέκτη γειωμένους και με ρεύμα βάσης 1 mA . Αν η ένωση διόδου του συλλέκτη είναι 10 φορές μεγαλύτερη από την ένωση του εκπομπού και $\alpha_F \approx 1$, βρείτε το i_C και το i_E .
- 14.3** Βρείτε εκφράσεις για τη χαρακτηριστική $i-v$ για τα τρανζίστορ που έχουν συνδεθεί σε συνδεσμολογία διόδου όπως φαίνονται στο Σχήμα Π 14.3, ως συνάρτηση των μεταβλητών I_S , α_F και α_R . Αν τα δύο τρανζίστορ είναι ολδίδια και όταν τα ρεύματα i γίνονται ίσα με μια τιμή I , βρίσκουμε ότι η τάση v είναι 0.7 V για τη δίοδο στο (α) και 0.6 V για τη δίοδο στο (β). Βρείτε τα σχετικά μεγέθη των ενώσεων εκπομπού-βάσης και συλλέκτη-βάσης.



Σχ. Π14.3

- 14.4** Για το τρανζίστορ που είναι συνδεδεμένο σε συνδεσμολογία διόδου και εικονίζεται στο Σχήμα Π14.4, βρείτε εκφράσεις για τα i_E και i ως συναρτήσεις των v , I_S , β_R και β_F . Υποθέστε ότι $\beta_F \gg \beta_R$.



Σχ. Π14.4

- 14.5** Ένα διπολικό τρανζίστορ, για το οποίο $\beta_F = 100$ και $\alpha_R = 0.2$ λειτουργεί με σταθερό ρεύμα βάσης, αλλά με ανοικτό συλλέκτη. Τι τιμή θα μετρούσαμε για το V_{CEsat} ;
- *14.6** Ένα διπολικό τρανζίστορ, για το οποίο I_B είναι 0.5 mA, έχει $V_{CEsat} = 140$ mV για $I_C = 10$ mA και $V_{CEsat} = 170$ mV για $I_C = 20$ mA. Υπολογίστε προσεγγιστικά την τιμή της αντίστασης κόρου του. Ποιές είναι οι τιμές των β_F και β_R ; Ποιά είναι η τάση εκτροπής;
- **14.7** Θεωρήστε ένα διπολικό τρανζίστορ που λειτουργεί στον κόρο με σταθερό ρεύμα βάσης I_B . Η χαρακτηριστική $v_{CE} - i_C$ περιγράφεται από την Εξ. (14.16), όπου η β_{forced} έχει αντικατασταθεί από την τιμή i_C / I_B (δείτε επίσης Σχήμα 14.2). Βρείτε μια έκφραση για τη μεταβολή της αντίστασης κόρου $\partial v_{CE} / \partial i_C$ και απλοποιήστε την παραγόμενη έκφραση υποθέτοντας ότι $\beta_F \gg 1$. Στη συνέχεια αποδείξτε ότι η ελάχιστη τιμή της αντίστασης κόρου (incremental resistance) R_{CEsat} συμβαίνει όταν λειτουργήσουμε το διπολικό τρανζίστορ με ρεύμα συλλέκτη $\beta_F I_B / 2$ (δηλαδή σε $\beta_{forced} = \beta_F / 2$) και ότι η τιμή της ελάχιστης αυτής αντίστασης είναι $4 V_T / \beta_F I_B$. Προεκτείνοντας την εφαπτόμενη που αντιστοιχεί στην ελάχιστη τιμή αυτής της αντίστασης στο σημείο $i_C = 0$, δείξτε ότι μια προσέγγιση για την τάση εκτροπής στην περίπτωση αυτή είναι $V_T [\ln (\beta_F / \beta_R) - 2]$. Υπολογίστε την ελάχιστη τιμή της R_{CEsat} και την τάση εκτροπής για $I_B = 1$ mA, $\beta_F = 50$ και $\beta_R = 0.1$.
- *14.8** Χρησιμοποιώντας τα δεδομένα του Πίνακα 14.1, σχεδιάστε το διάγραμμα της V_{CEsat} ως συνάρτηση του i_C για ένα τρανζίστορ που λειτουργεί με σταθερό ρεύμα βάσης $I_B = 1$ mA. Υπολογίστε προσεγγιστικά την ελάχιστη τιμή της μεταβολής της αντίστασης κόρου $R_{CEsat} \equiv \partial v_{CEsat} / \partial i_C$. Φροντίστε να καταλάβετε γιατί αυτό το ελάχιστο συμβαίνει για $i_C \approx \beta_F I_B / 2$. Προεκτείνετε την εφαπτόμενη της κλίσης στο σημείο ελάχιστης αντίστασης R_{CEsat} για να πάρετε μια προσέγγιση για την τάση εκτροπής του διπολικού διακόπτη. Συγκρίνετε τα αποτελέσματά σας με εκείνα του Προβλήματος 14.7.
- *14.9** Για ένα τρανζίστορ nnp με γειωμένο εκπομπό για το οποίο $\beta_F = 100$ και $\beta_R = 1$ σε κύκλωμα όπου $I = 1$ mA και $\beta_{forced} = 10$:
- (α) Υπολογίστε όλα τα ρεύματα στους κλάδους του μοντέλου EM που εικονίζεται στο Σχήμα 14.1(β) και γράψτε τα πάνω στους κλάδους.
- (β) Αν $I_S = 10^{-14}$ A, βρείτε τις τάσεις πάνω στις δύο ενώσεις

διόδου και τη V_{CEsat} .

(γ) Επαληθεύστε την τιμή της V_{CEsat} που βρήκατε στο (β) χρησιμοποιώντας την Εξ. (14.16)

(δ) Αν ο ακροδέκτης του συλλέκτη κοπεί ενώ η σύνδεση της βάσης παραμένει, βρείτε τις νέες τιμές για τις V_{BE} , V_{BC} και V_{CEsat} .

***14.10** Ένα διπολικό τρανζίστορ με σταθερό ρεύμα βάσης έχει V_{CEsat} 60 mV με τον εκπομπό γειωμένο και το συλλέκτη ανοικτοκυκλωμένο. Όταν ο συλλέκτης γειώνεται και ο εκπομπός ανοικτοκυκλώνεται, η V_{CEsat} γίνεται ίση με -1 mV. Βρείτε προσεγγιστικές τιμές για τα β_F και β_R του τρανζίστορ.

14.11 Ένα συγκεκριμένο BJT, για το οποίο η σταθερά χρόνου αποθήκευσης είναι 10 ns και το β είναι ίσο με 50, λειτουργεί σε ένα κύκλωμα, για το οποίο $I_{Csat} = 10$ mA και το ρεύμα βάσης στο άναμμα I_{B2} είναι 2 mA. Υπολογίστε την καθυστέρηση αποθήκευσης όταν το ρεύμα βάσης αποκοπής I_{B1} είναι: (α) 0 mA, (β) 1 mA, (γ) 2 mA.

14.12 Χρησιμοποιήστε το αποτέλεσμα της Ασκήσης 14.5 για να βρείτε $(C_{je} + C_{\mu})$ για το διπολικό τρανζίστορ σε ένα κύκλωμα, για το οποίο $V_1 = 0$ V, $V_2 = +3$ V, $R_B = 1$ k Ω και $t_d = 3$ ns. Υποθέστε ότι $r_x = 50$ Ω .

14.13 Ένα BJT όταν λειτουργεί στο κύκλωμα του Σχήματος 14.5 με $R_B = 1$ k Ω , $R_C = 1$ k Ω , $V_{CC} = V_2 = 3$ V και $V_1 = 0$ V με $V_{CEsat} \approx 0$ V, έχει καθυστέρηση αποθήκευσης 10 ns. Ποια καθυστέρηση αποθήκευσης θα περιμένατε, αν η $V_{CC} = V_2$ ανέβει στα 5V; Υποθέστε ότι $V_{BE} = 0.7$ V και $\beta = 50$.

14.14 Ένα τρανζίστορ με $\beta = 100$ και με σταθερά χρόνου αποθήκευσης 20 ns λειτουργεί με ρεύμα συλλέκτη 10 mA και με ένα forced ρεύμα βάσης 1 mA. Ποιό είναι το πλεονάζον φορτίο βάσης κάτω από αυτές τις συνθήκες; Τι συμβαίνει όταν το σθένος οδήγησης της βάσης (base drive) μειώνεται στα 0.11 mA; Και στις δύο περιπτώσεις βρείτε το χρόνο αποθήκευσης, υποθέτοντας ότι το ρεύμα αποκοπής βάσης είναι 0.1 mA.

Ενότητα 14.2: Παλαιότερες Μορφές Διπολικών Ψηφιακών Κυκλωμάτων

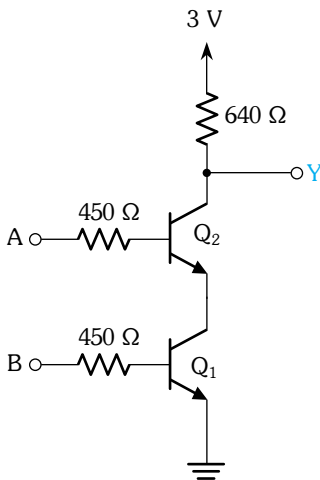
***14.15** Στο πρόβλημα αυτό θέλουμε να βρούμε τα κρίσιμα σημεία της χαρακτηριστικής μεταφοράς τάσης και τα περιθώρια θορύβου της πύλης NOR RTL του Σχήματος 14.8. Θεωρήστε την περι-

πτώση όπου $v_B = 0 \text{ V}$ και συνεπώς το Q_B είναι αποκομμένο. Η χαρακτηριστική μεταφοράς τάσης είναι v_Y ως συνάρτηση του v_A . Για το σκοπό αυτό έστω ότι το τρανζίστορ έχει $v_{BE} = 0.7 \text{ V}$ για $i_C = 1 \text{ mA}$, $\beta_F = 50$ και $\beta_R = 0.1$ και παρατηρήστε ότι (1) η V_{OH} υπολογίστηκε στην Ασκήση 14.6 κάτω από συνθήκες fan-out $N = 5$ και βρέθηκε να είναι ίση με 1 V και (2) η V_{IL} είναι η τιμή της v_A στην οποία το Q_A αρχίζει να άγει, έστω δε ότι αυτή είναι περίπου 0.6 V .

- (α) Η V_{IH} είναι η τιμή της v_A για την οποία το Q_A μπαίνει στον κόρο με, ας πούμε $\beta_{\text{forced}} = \beta_F / 2$. Χρησιμοποιήστε την Εξ. (14.16) για να υπολογίσετε τη $V_{CE\text{sat}}$. Μετά βρείτε τα I_C , V_{BE} , I_B και V_{IH} .
- (β) Η $V_{OL} = V_{CE\text{sat}}$ που παίρνουμε για $v_A = V_{OH} = 1 \text{ V}$. Βρείτε την τιμή της V_{OL} .
- (γ) Σχεδιάστε τη γραφική παράσταση της χαρακτηριστικής μεταφοράς τάσης.
- (δ) Υπολογίστε τα NM_H και NM_L .

14.16 Θεωρήστε την πύλη RTL που εικονίζεται στο Σχήμα 14.8.

- (α) Βρείτε το ρεύμα που φεύγει από την τροφοδοσία dc όταν $v_Y = V_{OL} = 0.1 \text{ V}$. Κατόπιν βρείτε την κατανάλωση ισχύος της πύλης σ' αυτή την κατάσταση (αμελήστε την ισχύ που καταναλώνεται εξαιτίας του ρεύματος βάσης (base drive) των BJT).
- (β) Με το τρανζίστορ αποκομμένο και την πύλη να οδηγεί άλλες πύλες έτσι ώστε $v_Y = V_{OH} = 1 \text{ V}$, βρείτε το ρεύμα που φεύγει από την τροφοδοσία dc και την κατανάλωση ισχύος



Σχ. Π14.17

της πύλης σ' αυτή την κατάσταση.

(γ) Χρησιμοποιήστε τα αποτελέσματα του (α) και (β) για να υπολογίσετε τη μέση κατανάλωση ισχύος της πύλης RTL.

(δ) Αν η καθυστέρηση διάδοσης της πύλης RTL είναι 10 ns βρείτε το γινόμενο καθυστέρησης ισχύος.

14.17 Ποια είναι η λογική συνάρτηση που υλοποιεί το κύκλωμα που εικονίζεται στο Σχήμα Π14.17;

14.18 Θεωρήστε το κύκλωμα του Σχήματος 14.9. Αν $V_{CC} = 5\text{ V}$, $R_C = R_B = 1\text{ k}\Omega$, $V_{CEsat} = 0.1\text{ V}$ και $V_{BE} = 0.7\text{ V}$, ποιά είναι τα επίπεδα τάσης στα Y και \bar{Y} όταν οι είσοδοι set και reset δεν είναι ενεργές, αλλά ακολουθούν ένα διάστημα κατά το οποίο το S ήταν ψηλά ενώ το R ήταν χαμηλά;

14.19 Για την πύλη DTL του Σχήματος 14.10, της οποίας η λειτουργία περιγράφεται στο κείμενο, βρείτε τις V_{OH} , V_{OL} , V_{IL} , V_{IH} και τα περιθώρια θορύβου. Υποθέστε ότι η πτώση τάσης μιας διόδου που άγει είναι σταθερά στα 0.7 V. Η V_{IL} μπορεί να θεωρηθεί ότι είναι η τάση εισόδου στην οποία το Q αρχίζει να άγει (η V_{BE} φτάνει τα 0.5 V) και η V_{IH} μπορεί να θεωρηθεί ότι είναι η τιμή για την οποία η τάση κατά μήκος της διόδου της εισόδου φτάνει τα 0.5 V. Για να βρείτε τη V_{OL} υπολογίστε το β_{forced} . Χρησιμοποιήστε την Εξ. (14.16) για να υπολογίσετε τη V_{CEsat} υποθέτοντας ότι $\beta_F = 50$ και $\beta_R = 0.1$.

14.20 Για την πύλη DTL του Σχήματος 14.10 υπολογίστε το συνολικό ρεύμα σε κάθε τροφοδοσία καθώς επίσης και την κατανάλωση ισχύος της πύλης στις εξής δύο περιπτώσεις: v_Y ψηλά και v_Y χαμηλά. Κατόπιν βρείτε τη μέση κατανάλωση ισχύος στην πύλη DTL.

Σ14.21 Ακολουθώντας τη γενική κατεύθυνση που προτείνεται από την DTL NAND δύο εισόδων του Σχήματος 14.10, σχεδιάστε ένα κύκλωμα (χρησιμοποιώντας τρανζίστορ, διόδους και αντιστάσεις) που υλοποιεί τη λογική συνάρτηση $Y = AB + CD$.

Ενότητα 14.3: Λογική Τρανζίστορ-Τρανζίστορ (TTL ή T²L)

Σ14.22 Θεωρήστε την πύλη DTL του Σχήματος 14.11 όπου η έξοδος είναι χαμηλά και η πύλη οδηγεί N ολόιδιες πύλες. Εστω ότι το Q_3 έχει $\beta_F = 50$ και $\beta_R = 0.1$. Χρησιμοποιήστε τα αποτελέσματα της Ασκήσης 14.8 για να υπολογίσετε

(α) την τάση εξόδου για $N = 0$ και

(β) το μέγιστο επιτρεπόμενο fan-out N με τον περιορισμό ότι η τάση εξόδου δεν πρέπει να ξεπερνάει κατά δύο φορές την τιμή που βρήκατε στο (α).

***14.23** Για την πύλη DTL του Σχήματος 14.11 έστω ότι $\beta = 100$ και $V_{BE} = V_D = 0.7 \text{ V}$. Υπολογίστε το ρεύμα βάσης που παρέχεται στο Q_3 , όταν η v_i πηγαίνει στο υψηλό επίπεδο. Όταν η v_i πηγαίνει στο χαμηλό επίπεδο, ποια είναι η τιμή του αναστροφου ρεύματος που περνάει μέσα από τη βάση του Q_3 , για να αφαιρέσει το φορτίο του κόρου; Αν $\tau_s = 10 \text{ ns}$ υπολογίστε την καθυστέρηση αποθήκευσης t_s χρησιμοποιώντας την Εξ. (14.20).

Σ*14.24 Για το κύκλωμα του Σχήματος 14.11 ποιοί είναι το ελάχιστο β των Q_2 και Q_3 (τα υποθέτουμε ταιριασμένα) που εξασφαλίζει ότι το Q_3 φτάνει στον κόρο με παράγοντα υπεροδήγησης βάσης (base overdrive factor) 5; Υποθέστε ότι $V_{BE} = V_D = 0.7 \text{ V}$ και $V_{CEsat} = 0.2 \text{ V}$. (Θυμηθείτε ότι ο παράγοντας υπεροδήγησης βάσης είναι ο λόγος του ρεύματος βάσης προς το ελάχιστο ρεύμα βάσης που απαιτείται για να οδηγηθεί το τρανζίστορ στον κόρο).

14.25 Θεωρήστε το στάδιο εξόδου μιας πύλης DTL, που αποτελείται από ένα τρανζίστορ με $\beta_F = 50$, ένα forced β ίσο με 10 και μια αντίσταση φορτίου $2 \text{ k}\Omega$ συνδεδεμένη σε τροφοδοσία $+5 \text{ V}$. Αν η χωρητικότητα φορτίου είναι 10 pF υπολογίστε τους χρόνους ανόδου και πτώσης από το 10% στο 90% της τελικής τιμής της τάσης εξόδου. Υποθέστε ότι $V_{CEsat} = 0.2 \text{ V}$.

14.26 Θεωρήστε το κύκλωμα του Σχήματος 14.13 με τροφοδοσία 5 V , $R = 4 \text{ k}\Omega$, $R_C = 2 \text{ k}\Omega$, $V_{BE} = 0.7 \text{ V}$, $V_{CEsat}(Q_3) = 0.2 \text{ V}$, $\beta_F = 20$ και $\beta_R = 0.1$. Τί ρεύμα εισόδου περνάει όταν η είσοδος είναι ψηλά ($\geq 1.4 \text{ V}$); Όταν η είσοδος είναι χαμηλά (0.2 V); Ποιά είναι η τιμή της V_{OH} χωρίς φορτίο; Για ποιο fan-out παρόμοιων κυκλωμάτων ελαττώνεται η V_{OH} κατά 2 V ;

14.27 Θεωρήστε το κύκλωμα του Σχήματος 14.13 με $V_{CC} = 3 \text{ V}$, $R = 3 \text{ k}\Omega$ και $R_C = 1 \text{ k}\Omega$ καθώς η είσοδος ανεβαίνει σιγά σιγά από τα 0 V . Εάν η V_{CEsat} του Q_1 είναι 0.1 V και αν το Q_3 ανάβει μόλις η V_{BE} φτάσει τα 0.6 V , σε ποια τιμή της τάσης εισόδου αρχίζει να άγει το Q_3 ; Αυτή είναι μια καλή προσέγγιση για τη V_{IL} .

***14.28** Θεωρούμε μια παραλλαγή της πύλης T^2L που εικονίζεται στο Σχήμα 14.23, στην οποία όλες οι αντιστάσεις έχουν τριπλασιαστεί. Για είσοδο ψηλά υπολογίστε όλες τις τάσεις κόμβων και τα ρεύματα κλάδων με $\beta_F = 30$, $\beta_R = 0.01$, $V_{BE} = 0.7 \text{ V}$ και φορτίο $1 \text{ k}\Omega$ συνδεδεμένο στην τροφοδοσία 5 V .

- *14.29** Επαναλάβετε την ανάλυση του κυκλώματος που προτείνουμε στο Πρόβλημα 14.28 με είσοδο χαμηλά (στα + 0.2 V) και μια αντίσταση του 1 kΩ συνδεδεμένη από την έξοδο στη γη.
- *14.30** Δύο πύλες TTL του τύπου που περιγράψαμε στο Πρόβλημα 14.28, η μία με είσοδο χαμηλά και η άλλη με είσοδο ψηλά έχουν τις εξόδους τους κατά λάθος ενωμένες. Τι έξοδος προκύπτει; Τι ρεύμα περνάει από το βραχυκύκλωμα;
- *14.31** Ένα τρανζίστορ, για το οποίο $\beta_F = 50$ και $\beta_R = 5$ χρησιμοποιείται ως Q_3 στο Σχήμα 14.24. Για ρεύμα βάσης 2.5 mA ποιά είναι η V_{CEsat} για $i_L = 0, 1, 10$ και 100 mA; Υπολογίστε προσεγγιστικά την R_{CEsat} για 0.5, 5 και 50 mA.
- 14.32** Θεωρήστε το κύκλωμα εξόδου της πύλης που εικονίζεται στο Σχήμα 14.26. Ποια είναι η τάση εξόδου όταν παράγεται ένα ρεύμα 2 mA; Ποια είναι η αντίσταση εξόδου (μικρού σήματος) για το ρεύμα αυτό; Χρησιμοποιήστε $\beta = 50$.
- 14.33** Θεωρήστε το κύκλωμα εξόδου της πύλης που εικονίζεται στο Σχήμα 14.26. Για $\beta = \infty$ και $V_{CEsat} = 0.2$ V σε τί ρεύμα εξόδου μπαίνει το Q_4 στον κόρο; Για $\beta = 20$ σε τί ρεύμα έχουμε κόρο;
- 14.34** Εάν η έξοδος του κυκλώματος του Σχήματος 14.26 βραχυκυκλωθεί στη γη, τί ρεύμα θα περάσει; Υποθέστε μεγάλο β , $V_{CEsat} = 0.2$ V και $V_{BE} = V_D = 0.7$ V. Ποιά είναι η ελάχιστη τιμή του β για την οποία ισχύει η ανάλυσή σας;

Ενότητα 14.4: Χαρακτηριστικά τής Κλασσικής TTL

- Σ14.35** Για την πύλη TTL που εικονίζεται μαζί με τη χαρακτηριστική μεταφοράς της στο Σχήμα 14.27, θεωρήστε το αποτέλεσμα της αλλαγής της R_2 σε 0.5 kΩ και σε 2 kΩ. Σχεδιάστε και βάλτε τις τιμές στην αρχική και στις δύο τροποποιημένες χαρακτηριστικές μεταφοράς. Ποια σας αρέσει περισσότερο; Γιατί; Το πρόβλημα είναι ότι καθώς η R_2 μεγαλώνει, η καθυστέρηση αποθήκευσης της πύλης αυξάνεται.
- ***14.36** Θεωρήστε το κύκλωμα του Σχήματος 14.27 με μια αντίσταση 200 Ω συνδεδεμένη μεταξύ εξόδου και εισόδου, για να πολώσει το ρεύμα του αντιστροφέα στη γραμμική περιοχή του.
- (α)** Πραγματοποιήστε μια ανάλυση dc στο κύκλωμα για να υπολογίσετε όλες τις τάσεις και τα ρεύματα. Υποθέστε ότι το Q_1 μπαίνει στον κόρο με V_{CEsat} περίπου 0.1 V και ότι όλα τα άλλα τρανζίστορ βρίσκονται στην ενεργό περιοχή με $\beta = 50$ και $V_{BE} = 0.7$ V. (Να σημειώσουμε ότι το Q_4 θα μείνει στην ενεργό περιοχή ακόμη κι όταν η τάση του

συλλέκτη του γίνει ελαφρά μικρότερη από την τάση βάσης του).

(β) Χρησιμοποιώντας το μοντέλο T για κάθε ενεργό τρανζίστορ βρείτε μια προσεγγιστική τιμή για το κέρδος τάσης μικρού σήματος του αντιστροφέα.

14.37 Χρησιμοποιώντας τα δεδομένα από τις απαντήσεις της Ασκήσης 14.15, βρείτε τα περιθώρια θορύβου της πύλης T²L στους -55°C και στους +125°C.

14.38 Η ανάλυση του κυκλώματος της πύλης TTL του Σχήματος 14.27, όταν η v_o είναι χαμηλά, μας δείχνει ότι το ρεύμα βάσης του Q₃ στους -55°C, +25°C και +125°C είναι 2.2 mA, 2.6 mA και 3 mA αντίστοιχα. Αν σ' αυτές τις τρεις θερμοκρασίες το β_F του Q₃ είναι 13, 20 και 25 αντίστοιχα, βρείτε το μέγιστο ρεύμα που μπορεί να τραβήξει η έξοδος της πύλης σε καθεμιά από τις τρεις θερμοκρασίες καθώς το Q₃ παραμένει στον κόρο.

Σ14.39 Ένας σχεδιαστής, εξετάζοντας τη δυνατότητα να ανεβάσει το κατώφλι εισόδου της πύλης TTL που εικονίζεται στο Σχήμα 14.27, προσθέτει δύο διόδους, μια σε σειρά με τον εκπομπό του Q₂ και μια σε σειρά με την D. Γιατί χρειάζεται η δεύτερη διάδος; Σχεδιάστε τη χαρακτηριστική μεταφοράς και βρείτε τις V_{OH}, V_{OL}, V_{IH}, V_{IL} καθώς και τα περιθώρια θορύβου.

14.40 Για μια πύλη TTL NAND οκτώ εισόδων που μοιάζει μ' αυτήν του Σχήματος 14.28 το β_R του Q₁ είναι 0.04. Για όλες τις εισόδους ψηλά ποιό είναι το πρόσθετο ρεύμα που τροφοδοτείται στο Q₂ ως αποτέλεσμα του ότι το Q₁ λειτουργεί στην ανάστροφο περιοχή;

Σ14.41 Ακολουθώντας τις οδηγίες του Σχήματος 14.30, σχεδιάστε το κύκλωμα μιας πύλης NOR τριών εισόδων.

14.42 Αναλύστε το κύκλωμα του Σχήματος 14.30 για να υπολογίσετε όλα τα ρεύματα και όλες τις τάσεις για τις παρακάτω τρεις περιπτώσεις:

(α) $v_A = v_B = v_C = v_D = +5 \text{ V}$

(β) $v_A = v_C = v_D = +5 \text{ V}$ και $v_B = +0.2 \text{ V}$

(γ) $v_A = v_C = +5 \text{ V}$ και $v_B = v_D = +0.2 \text{ V}$

Χρησιμοποιήστε $V_{BE} = 0.7 \text{ V}$ και $V_{CEsat} = 0.2 \text{ V}$.

Σ14.43 Σχεδιάστε ένα κύκλωμα που υλοποιεί τη λογική συνάρτηση $Y = \overline{AB} + CD$, χρησιμοποιώντας δύο πύλες NAND δύο εισόδων τύπου ανοικτού συλλέκτη και μια αντίσταση.

14.44 Θεωρήστε την πύλη τριών καταστάσεων που εικονίζεται στο Σχήμα A14.20 καθώς η τάση στον ακροδέκτη εισόδου ανεβαίνει από τη “χαμηλή” τιμή της. Ποια είναι η ελάχιστη τάση που απαιτείται, για να αποκοπεί το Q_7 και να ελευθερώσει την αντίσταση $1.6 \text{ k}\Omega$, ώστε να οδηγήσει το Q_4 ή το Q_3 μέσω του Q_2 ;

Ενότητα 14.5: Οικογένειες TTL με Βελτιωμένες Επιδόσεις

14.45 Θεωρήστε ένα τρανζίστορ Schottky του οποίου ο εκπομπός είναι γειωμένος, η βάση του ενωμένη σε ένα σήμα εισόδου $+5 \text{ V}$ μέσα από μια αντίσταση $10 \text{ k}\Omega$ και ο συλλέκτης του συνδεδεμένος σε μια τροφοδοσία $+5 \text{ V}$ μέσα από μια αντίσταση $1 \text{ k}\Omega$. Υποθέστε ότι η $V_{BE} = 0.8 \text{ V}$, η πτώση τάσης της διόδου Schottky είναι 0.5 V και το $\beta = 50$. Βρείτε τα ρεύματα βάσης και συλλέκτη του πραγματικού (intrinsic) BJT και το ρεύμα που περνάει από τη δίοδο Schottky.

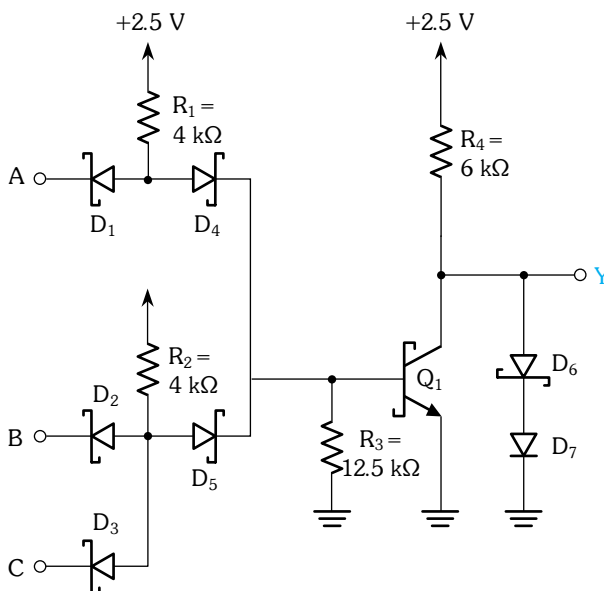
14.46 Για την πύλη Schottky TTL NAND του Σχήματος 14.32 βρείτε το ρεύμα που περνάει σε βραχυκύκλωμα της εξόδου προς τη γη όταν

(α) Και οι δύο εισοδοι είναι χαμηλά.

(β) Και οι δύο εισοδοι είναι ψηλά.

Υποθέστε ότι $V_{BE} = 0.8 \text{ V}$ και $V_D = 0.5 \text{ V}$.

***14.47** Το BJT στο κύκλωμα που εικονίζεται στο Σχήμα Π14.47 αρχί-



Σχ. Π14.47

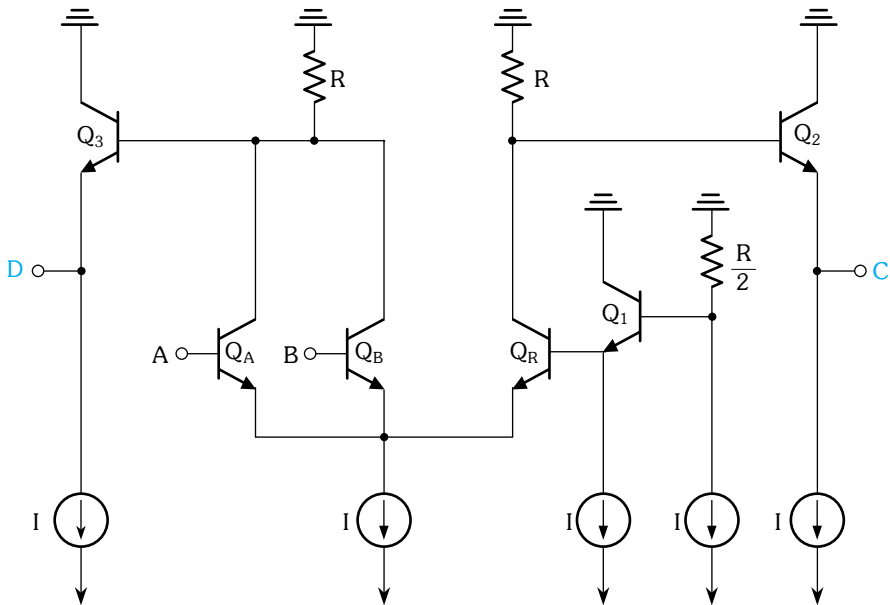
ζει να άγει όταν $v_{BE} = 0.7 \text{ V}$ και άγει πλήρως όταν $v_{BE} = 0.8 \text{ V}$. Το ίδιο ισχύει για την D_7 . Οι δίοδοι Schottky έχουν πώση τάσης 0.5 V .

- (α) Ποιά η λογική λειτουργία του κυκλώματος;
- (β) Βρείτε τις V_{OL} και V_{OH} .
- (γ) Βρείτε τις V_{IL} και V_{IH} .
- (δ) Βρείτε τα περιθώρια θορύβου.
- (ε) Βρείτε το ρεύμα που βγαίνει από την τροφοδοσία όταν η A είναι ψηλά η B είναι ψηλά και η C είναι χαμηλά.

Ενότητα 14.6: Λογική Ζεύξης Εκπομπού (ECL)

Σ14.48 Για το κύκλωμα ECL του Σχήματος Π14.48 τα τρανζίστορ παρουσιάζουν $V_{BE} = 0.75 \text{ V}$ σε ρεύμα εκπομπού I και έχουν πολύ μεγάλο β .

- (α) Βρείτε τη V_{OL} και τη V_{OH} .
- (β) Με την είσοδο B αρκετά αρνητική για να αποκοπεί το Q_B , τί τάση στο A προκαλεί ρεύμα $I/2$ μέσα στο Q_R ;
- (γ) Επαναλάβετε το (β) για ρεύμα στο $Q_R = 0.99I$.
- (δ) Επαναλάβετε το (γ) για ρεύμα στο $Q_R = 0.01I$.



Σχ. Π14.48

- (ε) Χρησιμοποιήστε τα αποτελέσματα των (γ) και (δ) για να καθορίσετε τις V_{IL} και V_{IH} .
- (z) Βρείτε το NM_H και το NM_L .
- (n) Βρείτε την τιμή IR που κάνει τα περιθώρια θορύβου ίσα με το εύρος της περιοχής μετάβασης, $V_{IH} - V_{IL}$.
- (θ) Χρησιμοποιώντας την τιμή του IR που βρήκατε στο (n) δώστε αριθμητικές τιμές για τις V_{OH} , V_{OL} , V_{IH} , V_{IL} και V_R για την πύλη αυτή.

- *14.49 Τρεις λογικοί αντιστροφείς είναι συνδεδεμένοι σε κύκλο (ring). Οι προδιαγραφές για την οικογένεια αυτή δείχνουν τυπική καθυστέρηση μετάδοσης 3 ns για μεταβάσεις από ψηλά χαμηλά και 7 ns για μεταβάσεις από χαμηλά ψηλά. Υποθέστε ότι για κάποιο λόγο η είσοδος σε μια από τις τρεις πύλες μεταβαίνει από χαμηλά ψηλά. Σχεδιάζοντας τις κυματομορφές και προσέχοντας τις σχετικές τους θέσεις, δείξτε ότι το κύκλωμα λειτουργεί ως ταλαντωτής. Ποιά είναι η συχνότητα ταλάντωσης αυτού του **κυκλικού ταλαντωτή** (ring oscillator); Σε κάθε κύκλο, πόσο χρόνο είναι η έξοδος ψηλά; Πόσο χρόνο χαμηλά;
- *14.50 Ακολουθώντας την ιδέα ενός κυκλικού ταλαντωτή που αναφέραμε στο Πρόβλημα 14.49, ας θεωρήσουμε μια υλοποίησή του που χρησιμοποιεί πέντε αντιστροφείς ECL 100K. Υποθέστε ότι οι αντιστροφείς έχουν ακμές που ανεβαίνουν και πέφτουν γραμμικά (οπότε οι κυματομορφές θα έχουν τραπεζοειδή μορφή). Εστω ότι οι χρόνοι ανόδου και πτώσης από 0 σε 100% είναι ίσοι με 1 ns. Δώστε ένα λεπτομερές διάγραμμα των πέντε σημάτων εξόδου, φροντίζοντας να δώσετε και την απαιτούμενη πληροφορία για τη φάση. Ποια είναι η συχνότητα του ταλαντωτή;
- *14.51 Χρησιμοποιώντας τη λογική και την ευελιξία των ECL που εικονίζονται στα Σχήματα 14.36 και 14.46 σχεδιάστε ένα λογικό κύκλωμα ECL που υλοποιεί τη λογική συνάρτηση αποκλειστικού OR $Y = \overline{AB} + A\overline{B}$
(Υπόδειξη: $\overline{AB} + A\overline{B} = \overline{A + B} + \overline{\overline{A} + \overline{B}}$.)
- *14.52 Για το κύκλωμα του Σχήματος 14.38, του οποίου η χαρακτηριστική μεταφοράς εικονίζεται στο Σχήμα 14.39, υπολογίστε το κέρδος τάσης μεταβολής (incremental voltage gain) από την είσοδο στην έξοδο OR στα σημεία x, m και y της χαρακτηριστικής μεταφοράς. Υποθέστε ότι $\beta = 100$. Χρησιμοποιήστε τα αποτελέσματα της Ασκήσης 14.29 και θεωρήστε ότι η έξοδος στο x

είναι -1.77 V και στο y είναι -0.88 V . Υπόδειξη: θυμηθείτε ότι τα x και y ορίζονται από έναν διαχωρισμό ρεύματος 1%, 99%.

14.53 Για το κύκλωμα του Σχήματος 14.38, του οποίου η χαρακτηριστική μεταφοράς εικονίζεται στο Σχήμα 14.39 βρείτε τις V_{IL} και V_{IH} αν τα x και y ορίζονται ως τα σημεία στα οποία

(α) 90% του ρεύματος I_E αλλάζει κατεύθυνση

(β) 99.9% του ρεύματος I_E αλλάζει κατεύθυνση.

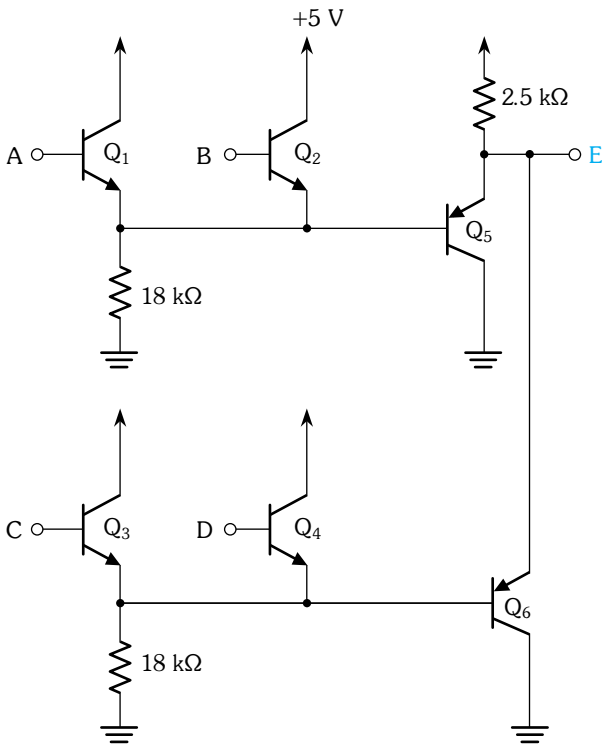
14.54 Για το συμμετρικά φορτισμένο κύκλωμα του Σχήματος 14.38 και για τυπικά επίπεδα εξόδου ($V_{OH} = -0.88\text{ V}$ και $V_{OL} = -1.77\text{ V}$) υπολογίστε την ισχύ που χάνεται και στις δύο αντιστάσεις φορτίου R_T και στους δύο ακόλουθους εξόδους. Ποιά είναι τότε η συνολική κατανάλωση ισχύος μιας πύλης ECL, αν συμπεριλάβουμε και τους συμμετρικούς τερματισμούς των εξόδων της;

14.55 Θεωρήστε το κύκλωμα του Σχήματος 14.40. Ποιά είναι η τιμή του β του Q_2 για την οποία το υψηλό περιθώριο θορύβου (NM_H) μειώνεται κατά 50%;

***14.56** Θεωρήστε μια πύλη ECL της οποίας ο αντιστρέφων ακροδέκτης εξόδου τερματίζεται σε μια αντίσταση $50\ \Omega$ και συνδέεται με μια χωρητικότητα φορτίου C . Καθώς η είσοδος της πύλης ανεβαίνει, ο ακόλουθος εκπομπού της εξόδου αποκόπτεται και η χωρητικότητα φορτίου C εκφορτίζεται μέσα από την αντίσταση φορτίου $50\ \Omega$ (μέχρι να αρχίσει να άγει πάλι ο ακόλουθος εκπομπού). Βρείτε την τιμή της C που θα έχει ως αποτέλεσμα χρόνο εκφόρτισης 1 ns . Υποθέστε ότι τα δύο επίπεδα εξόδου είναι -0.88 V και -1.77 V .

14.57 Για σήματα των οποίων οι χρόνοι ανόδου και πτώσης είναι 3.5 ns ποιά είναι το μήκος της (μη τερματισμένης) διασύνδεσης πύλης με πύλη, εάν είναι απαραίτητος ένας λόγος χρόνου ανόδου προς χρόνο επανόδου 5 προς 1; Υποθέστε ότι το περιβάλλον του σύρματος είναι τέτοιο ώστε το σήμα μεταδίδεται με ταχύτητα $2/3$ της ταχύτητας του φωτός (η οποία είναι 30 cm/ns).

***14.58** Για το κύκλωμα του Σχήματος Π14.58 έστω ότι τα επίπεδα των εισόδων A , B , C και D είναι 0 και $+5\text{ V}$. Για όλες τις εισόδους χαμηλά στα 0 V , ποιά είναι η τάση στο E ; Αν η A και η C ανέβουν στα $+5\text{ V}$, ποιά είναι η τάση στο E ; Υποθέστε ότι $|V_{BE}| = 0.7\text{ V}$ και $\beta = 50$. Εκφράστε το E ως λογική συνάρτηση των A , B , C και D .



Σχ. Π14.58