

ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ ΚΑΙ ΠΛΗΡΟΦΟΡΙΚΗΣ

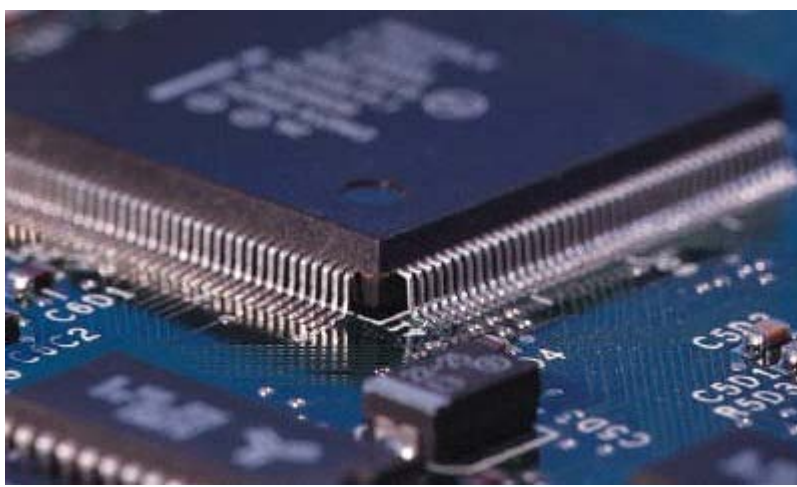
ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΑΤΡΩΝ

Τρίτο Σετ

Φροντιστηριακών ασκήσεων

Ψηφιακών Ηλεκτρονικών

Δρ. Χ. Μιχαήλ



Πάτρα, 2010

ΑΣΚΗΣΗ 1

Ένας μικροεπεξεργαστής πρέπει να οδηγήσει ένα δίαυλο (Bus) δεδομένων 64 bit, στον οποίο η κάθε γραμμή έχει χωρητικό φορτίο ίσο με 40 pF, και η λογική διακύμανση είναι 5V. Οι οδηγοί του διαύλου πρέπει να εκφορτίζουν την χωρητικότητα του φορτίου από 5V σε 0V σε 1 ns. Ποιο είναι το ρεύμα κορυφής στο chip του μικροεπεξεργαστή, αν και οι 64 οδηγοί μεταγονται ταυτόχρονα;

Αφού η μεταβολή τάσης είναι σταθερή κατά την διάρκεια της μετάβασης, το ρεύμα που ρέει μέσα στον πυκνωτή θα είναι σταθερό ίσο με:

$$I_C = \frac{dV}{dt} C = \frac{5V}{1ns} 40 pF = 200mA$$

Αυτό είναι το ρεύμα σε κάθε ένα από τα bit του διαύλου δεδομένων. Όταν και τα 64 κανάλια του διαύλου αλλάζουν ταυτόχρονα τιμή τότε το ρεύμα θα είναι 64 φορές μεγαλύτερο και ίσο με:

$$I_{BUS} = 64 \cdot I_C = 12,8Amp$$

Αξίζει να σημειωθεί ότι αν το bus έχει συχνότητα $f_{bus}=1$ MHz η ισχύς που καταναλώνεται είναι:

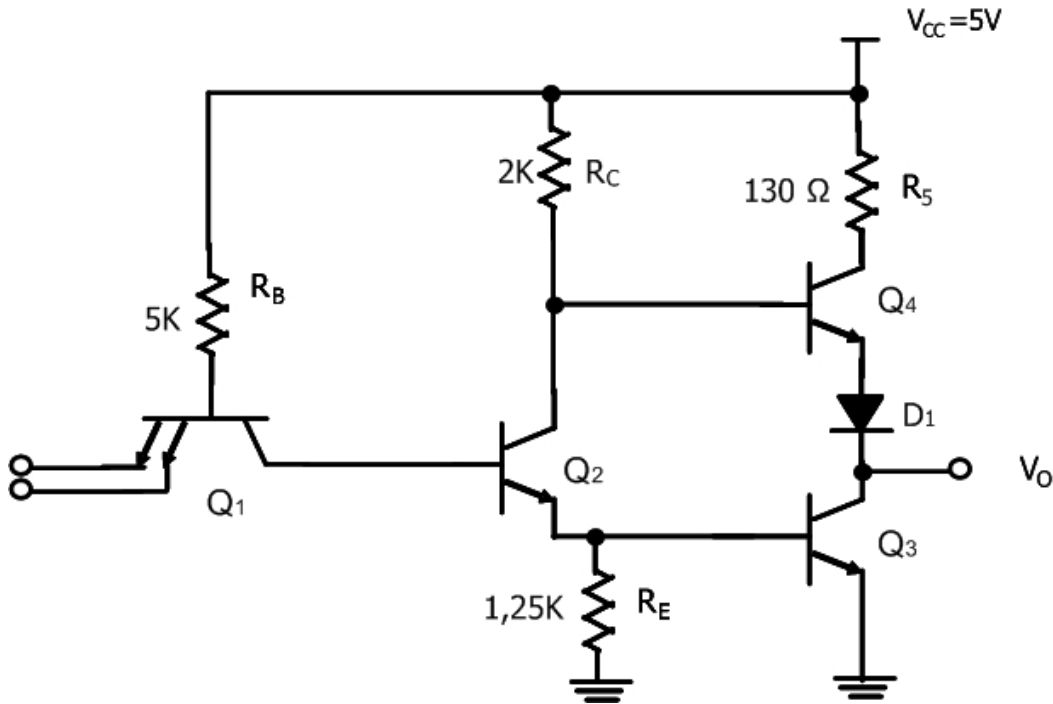
$$P_{BUS} = V_{CC} \cdot I_{BUS} \cdot dt \cdot F_{BUS} = V_{CC}^2 \cdot C \cdot F_{BUS} = 5 \cdot 12,8 \cdot 1n \cdot 1M = 64mW$$

ενώ αν η συχνότητα του bus αυξηθεί στα 100MHz η ισχύς θα είναι 6,4W.

Είναι προφανές ότι η ισχύς που καταναλώνεται δεν εξαρτάται από την κλίση της τάσης κατά την διάρκεια της μεταβολής της τάσης, αλλά από την χωρητικότητα που οδηγείται και το πλάτος της μεταβολής της τάσης. Είναι λοιπόν σημαντικό να προσέχουμε στις σχεδιάσεις μας έτσι ώστε να κρατάμε την παρασιτική χωρητικότητα όσο το δυνατόν μικρότερη και είναι σαφές γιατί η τεχνολογία απαιτεί μικρές τάσεις τροφοδοσίας έτσι όπως έχει εκτενώς αναφερθεί στο μάθημα.

ΑΣΚΗΣΗ 2

Για την TTL στο Σχ.1. να υπολογισθούν οι τιμές V_{IH} , V_{IL} , V_{OH} , V_{OL} καθώς και τα περιθώρια θορύβου NM_L και NM_H . Θεωρείστε ότι $V_{BE,just-on}$, $V_{D,just-on} = 0,6 \text{ V}$ και $V_{BE,sat} = 0,8 \text{ V}$.



Σχήμα.1.

Όπως γνωρίζουμε όταν η έξοδος έχει τιμή LOW , τότε το Q_3 , είναι βαθιά στον κόρο ενώ το Q_4 στην αποκοπή. Δηλαδή είναι

$$V_{OL,TTL} = 0.1V \quad (\text{Δείτε ανάλυση βιβλίου})$$

Όπως γνωρίζουμε όταν η έξοδος έχει τιμή HIGH , τότε το Q_4 και η διάοδος D άγουν ενώ το Q_3 βρίσκεται στην αποκοπή. Δηλαδή είναι

$$V_{OH,TTL} = V_{CC} - V_{BE,Q4,just-on} - V_D = 3.8V \quad (\text{Δείτε ανάλυση βιβλίου})$$

Η τιμή V_{IL} προκύπτει από το σημείο της χαρακτηριστικής (έστω σημείο C) όπου η έξοδος γίνεται HIGH δηλ. εκεί όπου το τρανζίστορ Q_3 έχει μόλις οδηγηθεί στην κατάσταση της αποκοπής δηλαδή έχει τιμή τάσης βάσης-εκπομπού οριακά χαμηλότερα από την τάση just-on, δλδ. τα 0,6 Volt, ενώ το τρανζίστορ Q_4 άγει όπως επίσης και ο διαχωριστής φάσης Q_2 . Αυτό συμβαίνει όταν

$$V_{IL,TTL,C} = V_{BE,Q3,just-on} + V_{BE,Q2} - V_{CE,Q1} = 1.2V$$

Στο σημείο αυτό η τάση εξόδου είναι περίπου ίση με 2,8 Volt κάτι που ίσως να μην θεωρείται αξιόπιστη τιμή HIGH.

Έτσι κάποιος θεωρούν σαν σημείο καθορισμού της τιμής V_{IL} το σημείο της χαρακτηριστικής (έστω σημείο B) όπου η έξοδος είναι HIGH και το τρανζίστορ διαχωριστή φάσης Q_2 έχει μόλις οδηγηθεί στην κατάσταση της αποκοπής δηλαδή έχει τιμή τάσης βάσης-εκπομπού οριακά χαμηλότερα από την τάση just-on, δηλ. τα 0,6 Volt, ενώ το τρανζίστορ Q_3 ήδη από το σημείο C έχει οδηγηθεί στην αποκοπή. Σε αυτό το σημείο η τιμή της εξόδου είναι η γνωστή τιμή των 3,8 Volt που είδαμε πιο πάνω. Αυτό συμβαίνει όταν

$$V_{IL,TTL,B} = V_{BE,Q2,just-on} - V_{CE,Q1} = 0.5V$$

Στο τμήμα BC, (από το B προς το C), η τάση εξόδου διαρκώς μειώνεται αφού πλέον το τρανζίστορ διαχωριστή φάσης Q_2 , λειτουργεί στην ενεργό περιοχή και δρα σαν γραμμικός ενισχυτής. Έτσι το ρεύμα στον συλλέκτη του Q_2 , που προκαλεί πτώση τάσης πάνω στην αντίσταση 2K μειώνει την τάση εξόδου όπως προκύπτει από την σχετική εξίσωση Kirchhoff για την τάση εξόδου παίρνοντας τελικά τιμή κοντά στα 2,8 V στο σημείο C.

Το πιο σωστό είναι να θεωρήσουμε το σημείο $V_{IL,TTL}$ κάπου στην μέση αυτής της γραμμικής περιοχής όπου η τάση εξόδου είναι αρκετά υψηλή (κλίση τμήματος BC ισούται περίπου -1,45 V/V). Έτσι θεωρούμε τελικά ότι είναι

$$V_{IL,TTL} = 0.8V$$

Η τιμή V_{IH} προκύπτει από το σημείο της χαρακτηριστικής όπου η έξοδος γίνεται LOW δηλ. εκεί όπου το τρανζίστορ Q_3 μόλις μπαίνει στον κόρο ενώ το τρανζίστορ Q_4 έχει μόλις οδηγηθεί στην κατάσταση της αποκοπής. Αυτό συμβαίνει όταν τα Q_1 , Q_2 , Q_3 είναι πλέον στον κόρο. Θεωρώντας την τάση βάσης-εκπομπού στα 0,8 Volt στον κόρο είναι

$$V_{IH,TTL} = V_{BE,Q3} + V_{BE,Q2} - V_{CE,Q1} = 1.5 V$$

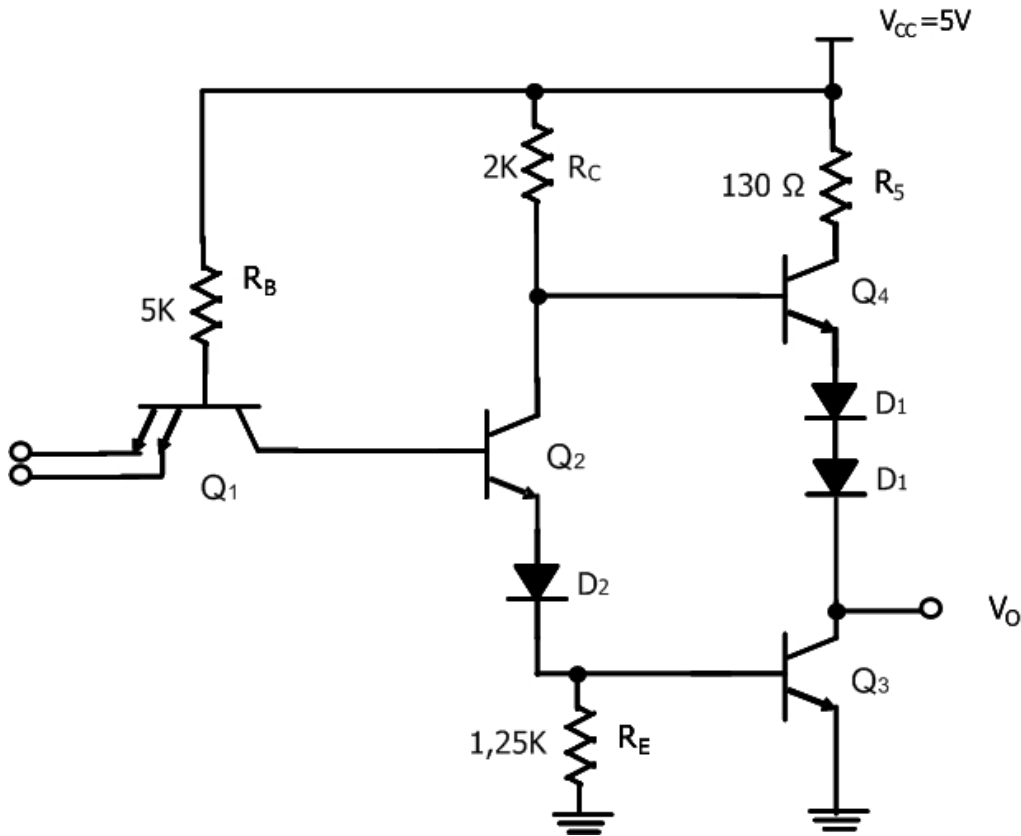
Επομένως τα περιθώρια υπολογίζονται ως:

$$NM_L = V_{IL} - V_{OL} = 0,8 - 0,1 = 0,7 V$$

$$NM_H = V_{OH} - V_{IH} = 3,8 - 1,5 = 2,3 V$$

ΑΣΚΗΣΗ 3

Για την αύξηση των V_{IL} και V_{IH} προσθέτουμε στην TTL δύο επιπλέον διόδους, όπως απεικονίζεται στο Σχ.2. Να δικαιολογηθεί γιατί χρειάζεται η δεύτερη διάδος και να υπολογισθούν οι τιμές, V_{IH} , V_{IL} , V_{OH} , V_{OL} καθώς και τα περιθώρια θορύβου NM_L και NM_H . Θεωρήστε ότι $V_{BE,just-on}, V_{D,just-on} = 0,6 \text{ V}$ και $V_{BE,sat} = 0,8 \text{ V}$.



Σχήμα.2.

Η δεύτερη διάδος D_2 στον εκπομπό του τρανζίστορ Q_2 μετατοπίζει υψηλότερα την τάση εισόδου κατά V_D , αφού για να άγει το μονοπάτι τρανζίστορ Q_2 , διάδος D_2 και τρανζίστορ Q_3 , χρειάζεται η επιπλέον αυτή τάση ώστε να άγει η διάδος D_2 . Όμως εφόσον θεωρούμε σαν V_{IL} τον μέσο όρο των δύο V_{IL} στα σημεία B και C (Δείτε Άσκηση 2), τότε πρέπει να παρατηρήσουμε ότι η ύπαρξη της διόδου D_2 επηρεάζει τους υπολογισμούς στα σημεία B, C όπου γίνεται:

$$V_{IL,TTL,C} = V_{BE,Q3,just-on} + V_D + V_{BE,Q2} - V_{CE,Q1} = 1.2V + V_D = 1.9V \quad (\text{ομοίως στο σημείο B})$$

Έτσι θεωρούμε τελικά ότι είναι $V_{IL,TTL} = 1.5V$

Η διάδος D_2 μετατοπίζει υψηλότερα την τάση εισόδου κατά V_D , αφού για να άγει το μονοπάτι τρανζίστορ Q_2 , διάδος D_2 και τρανζίστορ Q_3 , που καθορίζει την V_{IH} , χρειάζεται η επιπλέον αυτή τάση ώστε να άγει η διάδος D_2 . Έτσι θεωρούμε τελικά ότι είναι:

$$V_{IH,TTL} = V_{BE,Q3} + V_D + V_{BE,Q2} - V_{CE,Q1} = 1.5 \text{ V} + V_D = 2.2 \text{ V}$$

Οι δύο επιπλέον διάοδοι προκαλούν πρόβλημα στην περίπτωση κατά την οποία τα τρανζίστορ Q_2 και Q_3 βρίσκονται στην περιοχή του κόρου. Η τάση $V_{B,Q4}$ σε αυτή την περίπτωση λοιπόν ισούται με:

$$V_{B,Q4} = V_{BE,Q3,Sat} + V_D + V_{CE,Q2,Sat} = 1.7 \text{ V}$$

Εάν δεν υπήρχε η δεύτερη, επιπλέον, διάδος D_1 , στον συλλέκτη του τρανζίστορ Q_4 , τότε η παραπάνω τάση στην βάση του τρανζίστορ Q_4 , θα ήταν ικανή να προκαλέσει αγωγή του τρανζίστορ Q_4 , και την μίας διάοδου D_1 οδηγώντας σε αντικανονική λειτουργία το κύκλωμα αφού θα ήγαν τόσο το τρανζίστορ Q_3 όσο και το τρανζίστορ Q_4 . Η προσθήκη όμως σε σειρά της δεύτερης διάοδου D_1 στον συλλέκτη του τρανζίστορ Q_4 ανεβάζει την απαιτούμενη τάση για να υπάρξει αγωγή του τρανζίστορ Q_4 κατά $0,7 \text{ V}$. Έτσι αποφεύγεται η παραπάνω λανθασμένη λειτουργία. αφού δεν μπορεί να πολωθεί ορθά η επαφή B – E του τρανζίστορ Q_4 με την επιπρόσθετη διάοδο στην έξοδο με αποτέλεσμα αυτό να μην άγει.

Η V_{OL} παραμένει σταθερή και ίση με 0.2 V , ενώ η V_{OH} ισούται πλέον με:

$$V_{OH} = V_{CC} - V_{BE,Q4} - V_{D1} - V_D \approx 3.1 \text{ V}$$

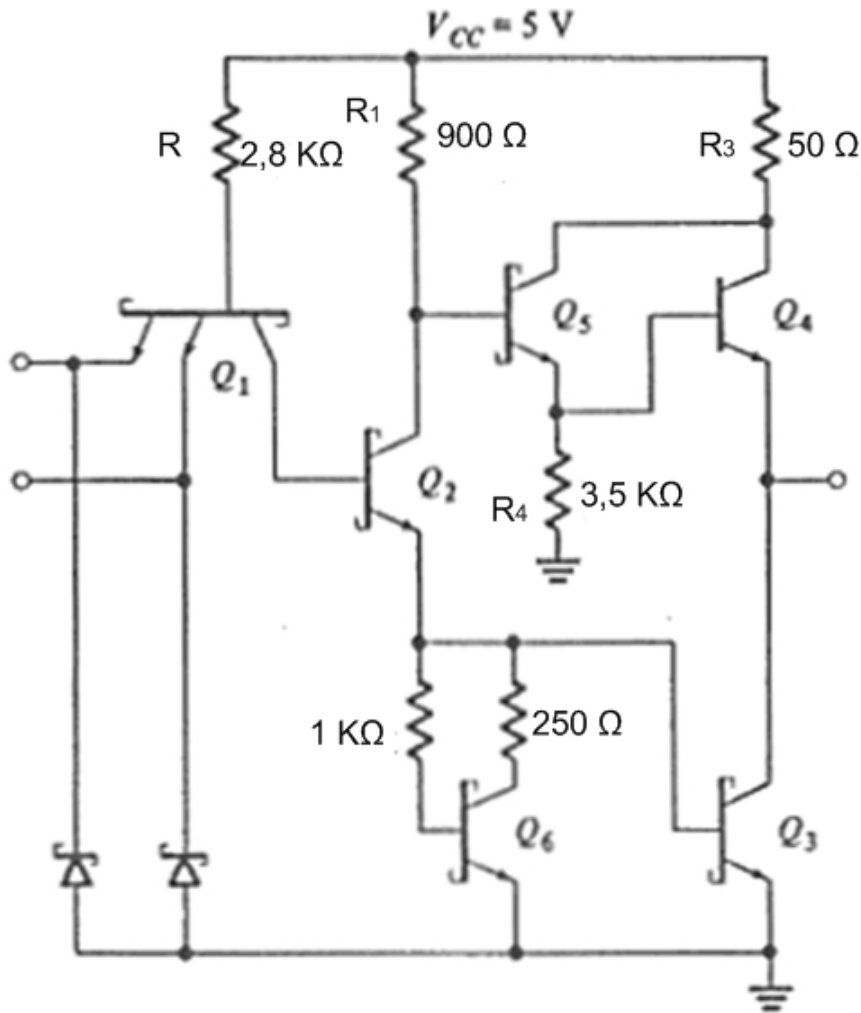
Επομένως τα περιθώρια υπολογίζονται ως:

$$NM_L = V_{IL} - V_{OL} = 1,3 \text{ V}$$

$$NM_H = V_{OH} - V_{IH} = 0.9 \text{ V}$$

ΑΣΚΗΣΗ 4

Για την πύλη Schottky TTL που απεικονίζεται στο Σχ.3 να βρεθεί ποιο είναι το ρεύμα που περνά όταν βραχυκυκλώνεται η έξοδος με την γη για τις περιπτώσεις: α) Οι είσοδοι A και B είναι και οι δύο σε χαμηλή στάθμη και β) Οι είσοδοι A και B είναι και οι δύο σε υψηλή στάθμη.



Σχήμα.3.

α) Όταν οι είσοδοι A και B και οι δύο βρίσκονται σε χαμηλή στάθμη τότε η έξοδος Y βρίσκεται σε υψηλή στάθμη αφού το τρανζίστορ Q₄ άγει. Εάν βραχυκυκλωθεί η έξοδος με την γη τότε προκύπτει ότι:

$$V_{B,Q4} = V_I + V_{BE,Q4} = 0 + 0.8 \text{ V} = 0.8 \text{ V}$$

$$V_{C,Q4} = V_{B,Q4} + V_{CE,Q5,Sat} = 0.8 \text{ V} + 0.3 \text{ V} = 1.1 \text{ V}$$

$$V_{B,Q5} = V_{B,Q4} + V_{BE,Q5,Sat} = 0.8 \text{ V} + 0.8 \text{ V} = 1.6 \text{ V}$$

Το ρεύμα στην έξοδο παρέχεται μέσα από τις αντιστάσεις R_1 του τρανζίστορ Q_5 και R_3 του τρανζίστορ Q_4 και προκύπτει ότι:

$$I_o = I_{R1} + I_{R3} - I_{R4} = \frac{V_{CC} - V_{BE,Q5}}{R_1} + \frac{V_{CC} - V_{C,Q4}}{R_3} - \frac{V_{BE,Q4}}{R_4} = 81.5 \text{ mA}$$

αφού για έξοδο σε υψηλή στάθμη άγουν τα τρανζίστορ Q_4 και Q_5 και επομένως και τα δύο συνεισφέρουν ρεύμα και τμήμα του ρεύματος φεύγει προς την γη μέσω της αντιστάσεως R_4

β) Όταν και οι δύο είσοδοι A και B έχουν υψηλή στάθμη τότε η έξοδος βρίσκεται σε χαμηλή στάθμη και το τρανζίστορ Q_4 είναι κλειστό και άγουν τα τρανζίστορ Q_2 και Q_3 . Η δίοδος Schottky του τρανζίστορ Q_3 πολώνεται ορθά και τραβά ρεύμα βάσης και δεσμεύει την τάση $V_{CE,Sch,Sat}$.

Υποθέτοντας ότι η τάση ορθής πόλωσης σε ένα τρανζίστορ Schottky, το οποίο βρίσκεται στην περιοχή του κόρου, ισούται με $V_{BC,Qi,Sch,Sat} = 0.5 \text{ V}$ και $V_{CE,Qi,Sch,Sat} = 0.3 \text{ V}$, προκύπτει ότι $V_{BE} = 0.5 \text{ V}$ και:

$$V_o - V_{CB,Q3} = V_{B,Q3} \rightarrow V_{B,Q3} = 0.5 \text{ V}$$

$$V_{B,Q2} = V_{B,Q3} + V_{BE,Q2} = 1.2 \text{ V}$$

$$V_{C,Q2} = V_{B,Q2} + V_{CE,Q2,Sat} = 0.8 \text{ V}$$

$$V_{B,Q1} = V_{B,Q2} + V_{EB,Q1} = 1.8 \text{ V}$$

Και εάν ισχύει:

$$V_{BE} = 0.8 \text{ V}$$

$$V_{CE} = 0.3 \text{ V}$$

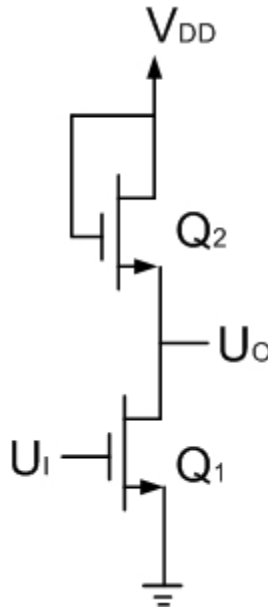
$$\text{τότε } V_{CB} = 0.5 \text{ V}$$

Επομένως τα τρανζίστορ Q_5 και Q_6 είναι κλειστά και το ρεύμα εξόδου ισούται με:

$$I_o = I_{E,Q3} - I_{C,Q3} = I_{B,Q3} = I_{B,Q1} + I_{C,Q2} = \frac{V_{CC} - V_{B,Q1}}{R} + \frac{V_{CC} - V_{C,Q2}}{R_1} = 9 \text{ mA}$$

ΑΣΚΗΣΗ 5

Για τον αντιστροφέα με φορτίο enhancement MOS στο Σχ.4 με $V_{t,Q1} = V_{t,Q2} = 1 \text{ V}$, $\left(\frac{W}{L}\right)_{Q1} = 3$, $\left(\frac{W}{L}\right)_{Q2} = 1/3$, $\mu_n * C_{ox} = 20 \text{ } \mu\text{A/V}^2$, και $V_{DD} = 5 \text{ V}$. α) Βρείτε τα noise margins και β) να βρεθεί το ρεύμα του αντιστροφέα και στις δύο καταστάσεις και εν συνεχεία να προσδιοριστεί η στατική κατανάλωση ισχύος.



Σχήμα.4.

α) Ισχύει ότι $V_{t,Q1} = V_{t,Q2} = 1 \text{ V}$. Για να γίνει η τάση εισόδου V_I αντιληπτή σαν χαμηλή στάθμη πρέπει το τρανζίστορ Q_1 να είναι κλειστό, το οποίο συνεπάγεται ότι το ρεύμα που το διαρέει είναι μηδενικό.

Για να μην άγει το τρανζίστορ Q_1 , θα πρέπει να ισχύει ότι:

$$V_{GS} < V_t \rightarrow V_I < V_t$$

$$V_{IL} = V_{t,Q1} = 1 \text{ V} \quad (1)$$

Με το τρανζίστορ Q_1 κλειστό η τάση εξόδου είναι σε υψηλή στάθμη και το ρεύμα που διαρέει τα Q_1 , Q_2 είναι μηδενικό. Το τρανζίστορ Q_2 λειτουργεί πάντα στην περιοχή του κόρου (pinch off) λόγω του τρόπου σύνδεσης του και όπως ξέρουμε για το ρεύμα του τρανζίστορ στην περιοχή του κορεσμού (pinch off) ισχύει ότι:

$$I_{D,Q2} = k_2 * (V_{GS} - V_{t,Q2})^2 \quad (2)$$

$$I_{D,Q2} = 0 \quad (3)$$

$$(2),(3) \rightarrow (V_{GS} - V_{t,Q2}) = 0 \rightarrow V_{DD} - V_o = V_{t,Q2} \rightarrow$$

$$\rightarrow V_o = V_{DD} - V_{t,Q2} = 5 \text{ V} - 1 \text{ V} = 4 \text{ V} \rightarrow$$

$$\rightarrow V_{OH} = 4 \text{ V} \quad (4)$$

Για τον υπολογισμό του V_{OL} ισχύει ότι το τρανζίστορ Q_2 λειτουργεί (πάντα άλλωστε) στην περιοχή του κόρου (pinch off) και για το τρανζίστορ Q_1 πρέπει να ισχύει ότι η τάση V_I πρέπει να είναι σε υψηλή στάθμη με την τάση εξόδου V_o να είναι σε χαμηλή στάθμη (λειτουργία αντιστροφέα) και επομένως είναι:

$V_{GD,Q1} > V_t \rightarrow$ Γίνεται η υπόθεση ότι το τρανζίστορ Q_1 λειτουργεί στην περιοχή της τριόδου για V_I σε υψηλή στάθμη

Προφανώς ισχύει ότι το ρεύμα του τρανζίστορ Q_1 ισούται με το ρεύμα του τρανζίστορ Q_2 .

Για την εξίσωση που μας δίνει το ρεύμα του τρανζίστορ Q_1 που βρίσκεται στην τριοδική ή γραμμική περιοχή ισχύει ότι:

$$I_{D,Q1} = k_1 * [2 * (V_{GS} - V_{t,Q1}) * V_{DS} - V_{DS}^2] \quad (5)$$

$$V_{GS,Q1} = V_{G,Q1} = V_I \quad (6)$$

$$V_{DS,Q1} = V_{D,Q1} = V_o \quad (7)$$

Για την εξίσωση που μας δίνει το ρεύμα του τρανζίστορ Q_2 ισχύει που βρίσκεται στην περιοχή κορεσμού ισχύει ότι:

$$I_{D,Q2} = k_2 * (V_{GS} - V_{t,Q2})^2 \quad (8)$$

$$V_{GS,Q2} = V_{G,Q2} - V_{S,Q2} = V_{DD} - V_o \quad (9)$$

Από τις σχέσεις (5), (6), (7), (8) και (9) και επειδή ισχύει ότι $I_{D,Q2} = I_{D,Q1}$ προκύπτει ότι:

$$k_1 * [2 * (V_{GS} - V_{t,Q1}) * V_{DS} - V_{DS}^2] = k_2 * (V_{GS} - V_{t,Q2})^2 \quad (10)$$

Χρησιμοποιώντας της σχέση (10) για την εύρεση των V_{OL} και V_{IH} στην κατάσταση κατά την οποία η τάση εισόδου βρίσκεται σε υψηλή στάθμη και τάση εξόδου σε χαμηλή στάθμη, αντικαθίσταται η τάση εισόδου με την τάση εξόδου που οδηγεί, δηλαδή $V_I = V_{OH} = V_{DD} - V_{t,Q2}$ και η τάση εξόδου με $V_o = V_{OL}$. Επιπρόσθετα από της δοσμένες σταθερές υπολογίζεται ότι ισχύει ότι $k_1 = 9 * k_2$ και προκύπτει ότι:

$$(4 - V_{OL})^2 = 9 * (6 * V_{OL} - (V_{OL})^2)$$

$$\text{Η επίλυσή της πιο πάνω είναι } V_{OL} \approx 0.3 \text{ V} \quad (11)$$

Για αυτή την τιμή της τάσης εξόδου $V_o = V_{OL} = 0.3 \text{ V}$ το τρανζίστορ Q_1 βρίσκεται στην περιοχή τριόδου όπως αρχικά είχε υποθεθεί.

Για την εύρεση του V_{IH} , το τρανζίστορ Q_2 βρίσκεται στην περιοχή του κόρου και το τρανζίστορ Q_3 βρίσκεται στην περιοχή της τριόδου. Επομένως ισχύει η προηγούμενη σχέση

$$k_1 * [2 * (V_I - V_{t,Q1}) * V_o - V_o^2] = k_2 * (V_o - V_{t,Q2})^2 \quad (12)$$

στην οποία αντικαθίσταται το $V_I = V_{DD} - V_{t,Q2}$ και έτσι υπολογίζεται το V_{OL} .

Για την εύρεση του V_{IH} χρειάζεται μια επιπλέον εξίσωση. Το σημείο V_{IH} ορίζεται ως το σημείο της καμπύλης VTC όπου ισχύει ότι $\frac{dV_o}{dV_I} = -1$. όπως έχει αναφερθεί στο μάθημα

αυτή η σχέση θα χρησιμοποιηθεί για να προκύψει η δεύτερη εξίσωση που χρειαζόμαστε. Αξίζει αν τονίσουμε ότι ακριβώς το ίδιο ισχύει και στην περίπτωση του αντιστροφέα CMOS, όπου απλά θα δουλεύαμε με παρόμοιο τρόπο.

Διαφορίζοντας και τα δύο μέλη της (12) ως προς V_I γνωρίζοντας ότι το V_o είναι συνάρτηση του V_I . Έτσι προκύπτει ότι:

$$\begin{aligned} k_1 * [2 * (V_I - V_{t,Q1}) * V_o - V_o^2] &= k_2 * (V_o - V_{t,Q2})^2 \rightarrow \\ k_1 * [2 * (V_I - V_{t,Q1}) * \frac{dV_o}{dV_I} + 2 * \frac{d(V_I - V_{t,Q1})}{dV_I} * V_o - 2 * V_o * \frac{dV_o}{dV_I}] &= \\ = k_2 * \frac{d(V_{DD} - V_o - V_{t,Q2})^2}{dV_I} &\quad (13) \end{aligned}$$

Ισχύει ότι:

$$\frac{d(V_I - V_{t,Q1})}{dV_I} = \frac{dV_I}{dV_I} - \frac{dV_{t,Q1}}{dV_I} = 1 - 0 = 1$$

$$\frac{d(V_{DD} - V_o - V_{t,Q2})^2}{dV_I} = 2 * \frac{d(V_{DD} - V_o - V_{t,Q2})}{dV_I} * (V_{DD} - V_o - V_{t,Q2}) =$$

$$= 2 * \left(\frac{dV_{DD}}{dV_I} - \frac{dV_o}{dV_I} - \frac{dV_{t,Q2}}{dV_I} \right) = 2 * \left(0 - \frac{dV_o}{dV_I} - 0 \right) = - 2 * \frac{dV_o}{dV_I}$$

Οπότε προκύπτει ότι:

$$k_1 * \left[2 * (V_I - V_{t,Q1}) * \frac{dV_o}{dV_I} + 2 * V_o - 2 * V_o * \frac{dV_o}{dV_I} \right] =$$

$$= - 2 * k_2 * (V_{DD} - V_o - V_{t,Q2}) * \frac{dV_o}{dV_I} \quad (14)$$

Όμως ισχύει ότι $\frac{dV_o}{dV_I} = - 1$ εξ ορισμού του σημείου V_{IH} και αντικαθιστώντας V_I με V_{IH}

και $k_R = k_1/k_2 \rightarrow k_1 = k_R * k_2$ προκύπτει ότι:

$$k_R * \left[- (V_{IH} - V_{t,Q1}) + V_o + V_o \right] = V_{DD} - V_o - V_{t,Q2} \quad (15)$$

Έτσι βρήκαμε και την δεύτερη εξίσωση του συστήματος εξισώσεων, η επίλυσή του οποίου δίνει σαν αποτελέσματα ότι:

$$V_{IH} \approx 2.2 \text{ V} \quad (16)$$

$$V_o \approx 0.8 \text{ V}$$

Από τις τιμές των V_{OL} και V_{IH} επιβεβαιώνεται ότι το τρανζίστορ Q_1 βρίσκεται στην περιοχή της τριόδου, όπως αρχικά είχε υποθεθεί.

Από της (1), (4), (11), (16) προκύπτει τελικά ότι τα noise margins ισούνται με:

$$NM_L = V_{IL} - V_{OL} = V_{t,Q1} - V_{OL} = 1 \text{ V} - 0.3 \text{ V} = 0.7 \text{ V}$$

$$NM_H = V_{OH} - V_{IH} = (V_{DD} - V_{t,Q2}) - V_{IH} = 4 \text{ V} - 2.2 \text{ V} = 1.8 \text{ V}$$

ΠΡΟΣΟΧΗ ΜΕ ΑΚΡΙΒΩΣ ΤΟ ΙΔΙΟ ΣΚΕΠΤΙΚΟ ΑΝΤΙΜΕΤΩΠΙΖΟΝΤΑΙ ΠΑΡΟΜΟΙΕΣ ΑΣΚΗΣΕΙΣ ΟΠΩΣ Η ΕΥΡΕΣΗ ΤΩΝ NOISE MARGINS ΤΟΥ CMOS ΑΝΤΙΣΤΡΟΦΕΑ ΠΟΥ ΛΥΘΗΚΕ ΣΤΟ ΜΑΘΗΜΑ. ΔΕΙΤΕ ΚΑΙ ΕΞΑΣΚΗΘΕΙΤΕ....

γ) Για την περίπτωση κατά την οποία V_1 βρίσκεται σε χαμηλή στάθμη και η τάση της εξόδου V_o βρίσκεται σε υψηλή στάθμη το τρανζίστορ Q_1 είναι κλειστό και ρέει ένα αμελητέο ρεύμα το οποίο δημιουργεί μια αμελητέα στατική κατανάλωση ισχύος.

Για $V_o = V_{OL} = 0.3 \text{ V}$ το ρεύμα το αναστροφέα είναι:

$$I_{D,Q2} = k_2 * (V_{DD} - V_o - V_{t,Q2})^2 \rightarrow$$

$$I_{D,Q2,V_o=low} = \frac{1}{2} * 20 * \frac{1}{3} (5 \text{ V} - 0.3 \text{ V} - 1 \text{ V})^2 \rightarrow$$

$$I_{D,Q2,V_o=low} = 46 \mu\text{A}$$

Επομένως στην κατάσταση όπου η έξοδος έχει χαμηλή στάθμη, άρα λογικό μηδέν, η στατική κατανάλωση ισχύος ισούται με:

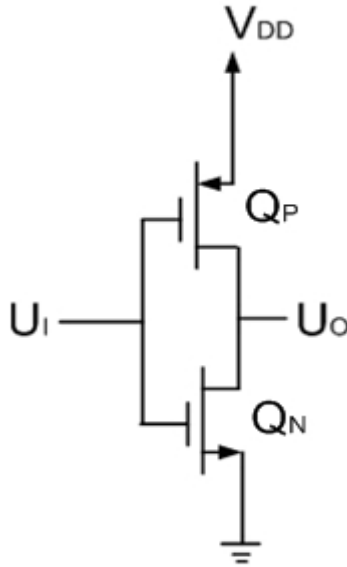
$$P_{D,low} = I_{D,Q2,VOL} * V_{DD} = 46 \mu\text{A} * 5 \text{ V} = 230 \mu\text{W}$$

Η μέση κατανάλωση του αντιστροφέα είναι:

$$P_D = \frac{P_{D,low} + P_{D,high}}{2} = \frac{0 + 230}{2} \mu\text{W} = 115 \mu\text{W}.$$

ΑΣΚΗΣΗ 6

Να βρεθεί η τάση για την οποία $V_o = V_i$ σε ένα CMOS αναστροφέα, όπως αυτός στο Σχ.5., με α) $k_n = k_p$ και β) $k_n = 2.5 * k_p$.



Σχήμα.5.

Για $V_o = V_i = V_{DD}$ και τα δύο τρανζίστορ είναι στο pinch off και ισχύει ότι:

$$I_{DS,Qn} = I_{DS,Qp} \rightarrow$$

$$k_n * (V_{GS} - V_{t,n})^2 = k_p * (V_{GS} - V_{t,p})^2$$

Με:

$$V_{GS,Qn} = V_i$$

$$V_{GS,Qp} = V_i - V_{DD}$$

$$k_R = k_n / k_p$$

Προκύπτει ότι:

$$k_R * (V_i - V_{t,n})^2 = (V_i - V_{DD} - V_{t,p})^2 \quad \rightarrow$$

$$\sqrt{k_R} * (V_i - V_{t,n}) = (V_i - V_{DD} - V_{t,p}) \quad \rightarrow$$

$$V_i * (1 + \sqrt{k_R}) = (V_{DD} + V_{t,p} + V_{t,n} * \sqrt{k_R}) \quad \rightarrow$$

$$V_i = \frac{(V_{DD} + V_{t,Qp} + V_{t,Qn} * \sqrt{k_R})}{(1 + \sqrt{k_R})}$$

Οπότε για $k_R = 1 \rightarrow V_o = V_i = 2.5 \text{ V}$

ενώ για $k_R = 2.5 \rightarrow V_o = V_i = 2.16 \text{ V}$.

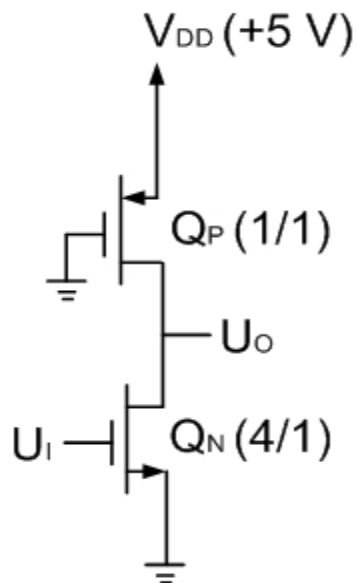
Για τις περιοχές αγωγής ισχύει $V_o \approx V_i \approx 2.5 \text{ V}$

και $V_{t,Qn} = 1 \text{ V}$ και $V_{t,Qp} = -1 \text{ V}$.

Για την $V_i < V_{DD} - V_{t,Qn} \rightarrow V_i < 4 \text{ V}$

ΑΣΚΗΣΗ 7

Να βρεθούν τα V_{OH} και V_{OL} για την πύλη pseudo-nmos στο Σχ. 6..



Σχήμα.6.

Στην πύλη του σχήματος έχει στην πάνω θέση ένα Q_p με γειωμένη την πύλη G και δεν συνδέεται σε αυτή καμία είσοδος. Άρα αυτή η πύλη με τις διαστάσεις (W/L) είναι μια πύλη NMOS όπου σαν φορτίο υπάρχει ένα Q_p . Η πύλη αυτή λέγεται pseudo NMOS.

Για V_i σε χαμηλή στάθμη για να βρεθεί V_{OH} ισχύει για το τρανζίστορ Q_n ότι:

$$V_{GS} = V_i - 0 = V_i \text{ και } V_i < V_{t,Qn} \rightarrow$$

$V_{GS} < V_{t,Qn} \rightarrow$ Το τρανζίστορ Q_n είναι κλειστό.

Και για το τρανζίστορ Q_p ότι:

$$V_{GS} = 0 - 5 \text{ V} < V_{t,Qp} \rightarrow \text{Το τρανζίστορ } Q_p \text{ άγει πάντα.}$$

Η τάση εξόδου V_{OH} εξαρτάται από το σημείο που θα σταματήσει να άγει το PMOS τρανζίστορ, το οποίο όμως άγει συνέχεια και τελικά προκύπτει ότι $V_{OH} = V_{DD}$.

Για την εύρεση του V_{OL} , η οποία θα είναι μια τάση χαμηλότερη από $V_{t,Qn} = |V_{t,Qn}|$, για τα δύο MOS τρανζίστορ ισχύει ότι $V_o = V_{OL}$ και τάση εισόδου σε υψηλή στάθμη, δηλαδή $V_i = V_{OH} = V_{DD}$ (αφού η πύλη αυτή είναι ένας αντιστροφέας).

Για το NMOS τρανζίστορ ισχύει ότι:

$$V_{GS} = V_i = V_{DD} > V_{t,Qn}$$

$$V_{GD} = V_i - V_o = V_{OH} - V_{OL} > V_{t,Qn}$$

Άρα το τρανζίστορ NMOS βρίσκεται στη περιοχή της τριόδου.

Για το PMOS τρανζίστορ ισχύει ότι:

$$V_{GS} = 0 - V_{DD} < V_{t,Qp}$$

$$V_{GD} = 0 - V_o \approx 0 > V_{t,Qp}$$

Άρα το τρανζίστορ PMOS βρίσκεται στη περιοχή pinch off.

Για $V_i = V_{OH}$, ισχύει $V_o = V_{OL}$ άρα το τρανζίστορ NMOS βρίσκεται στην περιοχή τριόδου και το τρανζίστορ PMOS βρίσκεται στη περιοχή pinch off και ισχύει ότι:

$$I_{DS,Qn} = I_{DS,Qp} \rightarrow$$

$$k_p * (V_{GS} - V_{t,Qp})^2 = k_n * ((V_{GS} - V_{t,Qn}) + 2 * V_{DS}) * V_{DS} \rightarrow$$

$$((V_{OH} - V_{t,Qn}) + 2 * V_{OL}) * V_{OL} = k_p/k_n * (V_{DD} + V_{t,Qn})^2 \rightarrow$$

$$V_{OL} \approx k_p / k_n * \frac{(V_{DD} + V_{t,Qp})^2}{(V_{OH} - V_{t,Qn})}$$

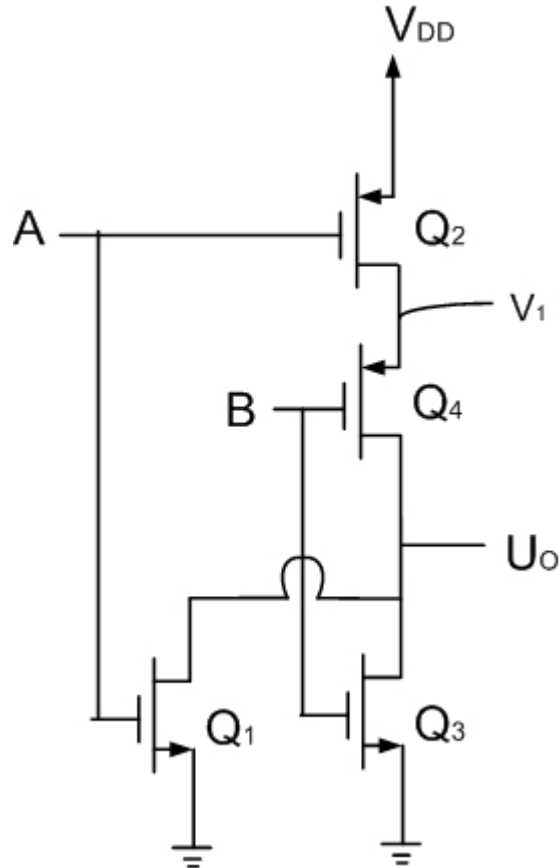
Και υποθέτοντας ότι $V_{t,Qp} = -|V_{t,Qn}| = -V_{t,Qn}$ προκύπτει ότι:

$$V_{OL} \approx k_p / k_n * (V_{DD} + V_{t,Qn})$$

Και επόμενα για να δουλέψει καλά η pseudo NMOS λογική πρέπει να ισχύει $k_n \gg k_p$ και όχι $k_n \approx k_p$ όπως ισχύει στον CMOS λογική.

ΑΣΚΗΣΗ 8

Για την NOR πύλη που απεικονίζεται στο Σχ.7. ισχύει ότι $V_{DD}=5V$ $k_2 = k_4 = 2 * k_1 = 2 * k_3$, και $|V_t| = 1V$ παντού. Να βρεθεί η τάση κατωφλίου V_{th} της πύλης για τις περιπτώσεις: α) Η είσοδος B είναι συνδεδεμένη με την γη και β) Οι είσοδοι A και B είναι συνδεδεμένοι μεταξύ τους.



Σχήμα.7.

α) Για την είσοδο B συνδεδεμένη με την γη σημαίνει ότι η είσοδος αυτή βρίσκεται πάντα σε χαμηλή στάθμη. Το τρανζίστορ Q_4 άγει, ενώ το τρανζίστορ Q_3 είναι κλειστό. Για το PMOS Q_4 ισχύει ότι:

$$V_{GS} = 0 - V_{high} < V_t$$

$$V_{GD} = V_B - V_y = 0 - V_{DD} < V_t$$

Και επόμενα το τρανζίστορ Q_4 βρίσκεται στην περιοχή της τριόδου.

Η τάση κατωφλίου πύλης V_{th} εμφανίζεται για το μέγιστο ρεύμα όταν $V_o = V_i = V_{DD} / 2$,
 οπότε τα τρανζίστορ Q_1 και Q_2 βρίσκονται στην περιοχή pinch off. Επομένως με το
 τρανζίστορ Q_3 κλειστό ισχύει ότι:

$$I_{DS,Q1} = I_{DS,Q2} = I_{DS,Q4} \rightarrow$$

$$k_1 * (V_i - V_t)^2 = k_2 * ((V_i - V_{th}) - V_t)^2 =$$

$$= k_4 * [2 * (V_{DD} - V_i) * (V_{DD} - V_i) - (V_{DD} - V_i)^2]$$

Με $V_i = V_{th}$, $V_i - V_{th} = V_{GS,Q2}$, $V_{th} - V_i = V_{GS,Q4}$ προκύπτει ότι $V_i = 4.8 \text{ V}$ και $V_{th} =$
 2.655 V και επιβεβαιώνεται ότι το τρανζίστορ Q_4 βρίσκεται στην περιοχή τριόδου.

β) Για την περίπτωση κατά την οποία οι εισοδοι A και B είναι συνδεδεμένες μεταξύ
 τους, από τα τρανζίστορ Q_1 και Q_3 ρέει ρεύμα ίσο με $I/2$ και γίνεται η υπόθεση ότι τα
 τρανζίστορ Q_1 , Q_2 και Q_3 βρίσκονται στην περιοχή pinch off το τρανζίστορ Q_4
 βρίσκεται στην περιοχή τριόδου. Άρα ισχύει ότι:

$$I_{DS,Q1} + I_{DS,Q3} = I_{DS,Q2} = I_{DS,Q4} \rightarrow$$

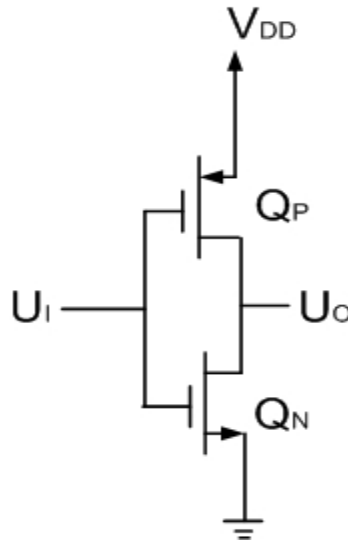
$$k_1 * (V_{th} - V_t)^2 + k_3 * (V_{th} - V_t)^2 = k_2 * (V_i - V_{th} - V_t)^2 =$$

$$= k_4 [2 * (V_{DD} - V_i) * (V_{DD} - V_i) - (V_{DD} - V_i)^2] \rightarrow$$

$V_{th} = 2.37 \text{ V}$ και $V_i = 4.75 \text{ V}$ που επιβεβαιώνει την αγωγή των τρανζίστορ Q_1 , Q_2 , Q_3 και
 Q_4 .

ΑΣΚΗΣΗ 9

Για τον CMOS αντιστροφέα που απεικονίζεται στο Σχ.8. και λειτουργεί με συχνότητα $f = 10 \text{ MHz}$. Να βρεθεί η κατανάλωση ισχύος βραχυκυκλώματος



Σχήμα.8.

Όπως ξέρουμε από της περιοχές λειτουργίας του CMOS αντιστοφέα ισχύει ότι:

Για $V_i = V_{DD}$ έως $V_{DD} - V_t$, δηλαδή $4 \leq V_i \leq 5$ είναι $V_o = V_{OL} = 0 \text{ V}$.

Ομοίως για $V_i = 0 \text{ V}$ έως V_t , δηλαδή για $0 \leq V_i \leq 1$ είναι $V_o = V_{OH} = 5 \text{ V}$.

Στα διαστήματα αυτά της V_i από 0 V έως 1 V και από 4 V έως 5 V δεν ρέει ρεύμα στο κύκλωμα.

Για $V_i = 1 \text{ V}$ έως 4 V στο κύκλωμα ρέει ρεύμα το οποίο παίρνει την μέγιστη τιμή του για $V_{th} = V_{DD} / 2 = 2.5 \text{ V}$ όπου και τα δύο τρανζίστορ βρίσκονται στην περιοχή pinch off.

Εάν ο χρόνος για να πάει η έξοδος από 0 V σε 5 V είναι 1 ns , η άνοδος της τάσης γίνεται με γραμμικό τρόπο ως προς τον χρόνο t .

Για $V_o = 5 \text{ V}$ έως 1 V και $V_o = 4 \text{ V}$ έως 5 V , δεν υπάρχει ρεύμα ενώ στο $V_o = 1 \text{ V}$ έως 4 V υπάρχει ρεύμα και επομένως για τα 3 V από τα 5 V μεταβολής ρέει ρεύμα στο κύκλωμα. Το ρεύμα ρέει για χρόνο $3/5 * 1 \text{ ns} = 0,6 \text{ ns} = t_r = t_f$.

Το ρεύμα αυτό είναι ίδιο τόσο κατά την μετάβαση από χαμηλή στάθμη σε υψηλή στάθμη και το αντίστροφο και έχει την μέγιστη τιμή του στο $V_{th} = V_{DD} / 2$ της πύλης όπου και τα δύο τρανζίστορ βρίσκονται στην περιοχή pinch off.

Για $k_R = 1$ προκύπτει ότι μέγιστο αυτό ρεύμα ισούται με:

$$V_i = V_{th} = V_{DD} / 2 \text{ και } V_o = V_{DD} / 2.$$

$$I_{peak} = k_n * (V_{GS} - V_t)^2 \text{ και } V_{GS} = V_G - V_S = V_i = V_{DD} / 2 \rightarrow$$

$$I_{peak} = k_n * (V_{DD} / 2 - V_t)^2 = k_n * (2.5 - 1)^2$$

Η κατανάλωση ισχύος βραχυκυκλώματος είναι:

$$P_{D,short} = \frac{1}{2} * V_{DD} * f * I_{peak} * (t_r + t_f).$$

Στην CMOS λογική η οποία είναι συμμετρική ισχύει ότι $t_r = t_f$ και επομένως:

$$P_{D,short} = \frac{1}{2} * V_{DD} * f * I_{peak} * 2 * t_r = V_{DD} * f * I_{peak} * t_r =$$